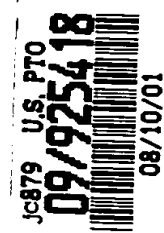


#3
11-8-01
maeun



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kazuhiro SHIMIZU, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE HAVING MEMORY CELL ARRAY SUITABLE FOR HIGH DENSITY AND HIGH INTEGRATION

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2000-245029	August 11, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak
Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 8月11日

出 願 番 号

Application Number:

特願2000-245029

出 願 人

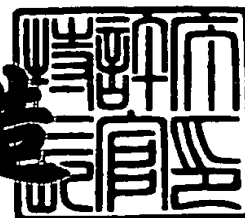
Applicant(s):

株式会社東芝

2001年 3月23日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3023695

【書類名】 特許願

【整理番号】 A000004519

【提出日】 平成12年 8月11日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/76

【発明の名称】 不揮発性半導体記憶装置

【請求項の数】 14

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

【氏名】 清水 和裕

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

【氏名】 荒井 史隆

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置

【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体基体と、

前記半導体基体に、互いに離間して形成された第 2 導電型の第 1、第 2 半導体領域と、

前記第 1 半導体領域と前記第 2 半導体領域との間の前記半導体基体上に、ゲート絶縁膜を介して形成され、電荷蓄積層、制御ゲート、及びこの制御ゲート上のキャップ絶縁膜を含む積層ゲートと、

前記第 1、第 2 半導体領域上に形成された層間絶縁膜と、

前記層間絶縁膜上に形成され、信号の入出力を行うビット線と、

前記層間絶縁膜上に形成され、信号の入出力を行うソース線と、

前記層間絶縁膜内に埋め込まれ、前記第 1 半導体領域と前記ビット線とを電氣的に接続するビット線コンタクトと、

前記層間絶縁膜内に埋め込まれ、前記第 2 半導体領域と前記ソース線とを電氣的に接続するソース線コンタクトとを具備する不揮発性半導体記憶装置であって、

前記ビット線コンタクトあるいはソース線コンタクトのいずれとも隣接しない第 1 の積層ゲートは、前記キャップ絶縁膜と異なる材料からなる第 1 の絶縁膜で覆われると共に、前記第 1 の絶縁膜が前記キャップ絶縁膜と同一材料からなる第 2 の絶縁膜で覆われ、

前記ビット線コンタクトあるいはソース線コンタクトのいずれかと隣接する第 2 の積層ゲートは、少なくとも隣接する前記ビット線コンタクトあるいはソース線コンタクト側の前記積層ゲート側面が前記第 1 の絶縁膜で覆われておらず、前記積層ゲート側面を含む第 2 の積層ゲートが前記第 2 の絶縁膜で覆われていることを特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記第 1 の絶縁膜は膜厚 2 0 0 Å 以下の酸化物系絶縁膜であり、前記第 2 の絶縁膜は膜厚 4 0 0 Å 以下の窒化物系絶縁膜であることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】 前記ビット線コンタクトの対向する 2 つの側端面は前記第 2 の絶縁膜に接しており、前記側端面の一部は前記キャップ絶縁膜上に張り出していることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 4】 前記ビット線コンタクトあるいはソース線コンタクトの少なくともいずれか一方の対向する 2 つの側端面は前記第 2 の絶縁膜に接しており、前記側端面の一部は前記キャップ絶縁膜上に張り出していることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 5】 前記第 1 の積層ゲートは前記電荷蓄積層と前記半導体基体との間で電荷の授受を行ってデータを記憶するメモリセルを構成し、前記第 2 の積層ゲートは前記メモリセルと前記ビット線あるいはソース線との間に配置された選択トランジスタを構成することを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 6】 前記積層ゲートを有する前記メモリセルが複数個配列されたメモリセルアレイを有し、このメモリセルアレイの領域外に前記ビット線、ソース線及び制御ゲートの信号を制御するための周辺トランジスタを含む周辺回路を有し、前記周辺トランジスタのゲート電極は前記第 1 の絶縁膜及び第 2 の絶縁膜で覆われていることを特徴とする請求項 5 に記載の不揮発性半導体記憶装置。

【請求項 7】 第 1 導電型の半導体基体と、

前記半導体基体に、互いに離間して形成された第 2 導電型の第 1、第 2 半導体領域と、

前記第 1 半導体領域と前記第 2 半導体領域との間の前記半導体基体上に、ゲート絶縁膜を介して形成され、電荷蓄積層、制御ゲート、及びこの制御ゲート上のキャップ絶縁膜を含む積層ゲートと、

前記第 1、第 2 半導体領域上に形成された層間絶縁膜と、

前記層間絶縁膜上に形成され、信号の入出力を行うビット線と、

前記層間絶縁膜上に形成され、信号の入出力を行うソース線と、

前記層間絶縁膜内に埋め込まれ、前記第 1 半導体領域と前記ビット線とを電氣的に接続するビット線コンタクトと、

前記層間絶縁膜内に埋め込まれ、前記第 2 半導体領域と前記ソース線とを電氣

的に接続するソース線コンタクトとを具備する不揮発性半導体記憶装置であって

前記ビット線コンタクトあるいはソース線コンタクトのいずれとも隣接しない第1の積層ゲートは、前記キャップ絶縁膜と異なる材料からなる第1の絶縁膜で覆われると共に、前記第1の絶縁膜が前記キャップ絶縁膜と同一材料からなる第2の絶縁膜で覆われ、

前記ビット線コンタクトあるいはソース線コンタクトのいずれかと隣接する第2の積層ゲートは、少なくとも隣接する前記ビット線コンタクトあるいはソース線コンタクト側の前記キャップ絶縁膜の側面が前記第1の絶縁膜で覆われておらず、前記キャップ絶縁膜の側面を含む第2の積層ゲートが前記第2の絶縁膜で覆われていることを特徴とする不揮発性半導体記憶装置。

【請求項8】 前記第2の積層ゲートは、隣接する前記ビット線コンタクトあるいはソース線コンタクト側の前記制御ゲートの側面の少なくとも一部が前記第1の絶縁膜に覆われており、隣接する前記ビット線コンタクトあるいはソース線コンタクト側の前記電荷蓄積層の側面が全て前記第1の絶縁膜に覆われていることを特徴とする請求項7に記載の不揮発性半導体記憶装置。

【請求項9】 第1導電型の半導体基体と、
前記半導体基体に、互いに離間して形成された第2導電型の第1、第2半導体領域と、

前記第1半導体領域と前記第2半導体領域との間の前記半導体基体上に、ゲート絶縁膜を介して形成され、電荷蓄積層、制御ゲート、及びこの制御ゲート上のキャップ絶縁膜を含む積層ゲートと、

前記第1、第2半導体領域上に形成された層間絶縁膜と、
前記層間絶縁膜上に形成され、信号の入出力を行うビット線と、
前記層間絶縁膜上に形成され、信号の入出力を行うソース線と、
前記層間絶縁膜内に埋め込まれ、前記第1半導体領域と前記ビット線とを電氣的に接続するビット線コンタクトと、

前記層間絶縁膜内に埋め込まれ、前記第2半導体領域と前記ソース線とを電氣的に接続するソース線コンタクトとを具備する不揮発性半導体記憶装置であって

前記積層ゲートの制御ゲートの側面の少なくとも一部は、前記キャップ絶縁膜と異なる材料からなる第 1 の絶縁膜で覆われ、前記積層ゲートの電荷蓄積層の側面の全ては、前記第 1 の絶縁膜で覆われ、前記積層ゲートのキャップ絶縁膜の側面は、前記第 1 の絶縁膜で覆われておらず、前記積層ゲート及び前記第 1 の絶縁膜は前記キャップ絶縁膜と同一材料からなる第 2 の絶縁膜で覆われていることを特徴とする不揮発性半導体記憶装置。

【請求項 1 0】 半導体基板に形成された複数のトレンチ溝に埋め込まれた素子分離用絶縁材からなる素子分離領域と、

前記素子分離領域によって電氣的に分離された複数の第 1 導電型の第 1 半導体領域と、

前記第 1 半導体領域に、互いに離間して形成された第 2 導電型の第 2、第 3 半導体領域と、

前記第 2 半導体領域と前記第 3 半導体領域との間の前記第 1 半導体領域上に、ゲート絶縁膜を介して形成され、電荷蓄積層、制御ゲート、及びこの制御ゲート上のキャップ絶縁膜を含む積層ゲートと、

前記第 2、第 3 半導体領域上に形成された層間絶縁膜と、

前記層間絶縁膜上に形成され、信号の入出力を行うビット線と、

前記層間絶縁膜上に形成され、信号の入出力を行うソース線と、

前記層間絶縁膜内に埋め込まれ、前記第 2 半導体領域と前記ビット線とを電氣的に接続するビット線コンタクトと、

前記層間絶縁膜内に埋め込まれ、前記第 3 半導体領域と前記ソース線とを電氣的に接続するソース線コンタクトとを具備する不揮発性半導体記憶装置であって

前記電荷蓄積層は前記トレンチ溝と側端面が揃うように配置されており、前記素子分離領域は半導体基板面より高い位置まで形成されており、かつ前記制御ゲート下の素子分離領域の位置は制御ゲート間の素子分離領域の位置より高いことを特徴とする不揮発性半導体記憶装置。

【請求項 1 1】 前記制御ゲート間の素子分離領域の位置は、半導体基板面

よりも高く、前記電荷蓄積層の上面より低いことを特徴とする請求項 1 0 に記載の不揮発性半導体記憶装置。

【請求項 1 2】 前記ビット線、ソース線及び制御ゲートの信号を制御するための周辺トランジスタを含む周辺回路をさらに具備し、前記周辺トランジスタはゲート電極、ソース拡散層、ドレイン拡散層を有し、ソース拡散層及びドレイン拡散層のいずれかに接続されるコンタクト材が前記ビット線コンタクトあるいはソース線コンタクトをなすコンタクト材と同じトランジスタであって、

前記ソース拡散層及びドレイン拡散層のいずれかに接続されるコンタクト材に隣接するゲート絶縁膜の膜厚が前記ゲート電極下のゲート絶縁膜の膜厚よりも薄いことを特徴とする請求項 1 0 に記載の不揮発性半導体記憶装置。

【請求項 1 3】 前記周辺トランジスタは、前記積層ゲートを有するメモリセルの電荷授受動作時にメモリセルに印加される書き込み及び消去用高電圧を駆動する高耐圧系トランジスタであり、前記ゲート電極下のゲート絶縁膜の膜厚は前記メモリセルの電荷蓄積層下のゲート絶縁膜の膜厚よりも厚いことを特徴とする請求項 1 2 に記載の不揮発性半導体記憶装置。

【請求項 1 4】 第 1 導電型の半導体基体と、
 前記半導体基体に、互いに離間して形成された第 2 導電型の第 1、第 2 半導体領域と、
 前記第 1 半導体領域と前記第 2 半導体領域との間の前記半導体基体上に、第 1 ゲート絶縁膜を介して形成された電荷蓄積層と、
 前記電荷蓄積層上に第 2 ゲート絶縁膜を介して形成された制御ゲートと、
 前記制御ゲート上に形成されたキャップ絶縁膜と、
 前記電荷蓄積層、制御ゲート、キャップ絶縁膜を含む積層ゲートの第 1 の側面上に形成され、前記キャップ絶縁膜と異なる材料からなる第 1 の絶縁膜と、
 前記積層ゲートの前記第 1 の側面と対向する第 2 の側面上に形成され、前記キャップ絶縁膜と同一材料からなる第 2 の絶縁膜と、
 信号の入出力を行う配線層と、
 第 1 半導体領域上に形成された層間絶縁膜と、
 前記層間絶縁膜上に形成された配線層と、

前記積層ゲートの前記第 1 の側面に隣接して前記層間絶縁膜内に埋め込まれ、前記第 1 半導体領域と前記配線層とを電氣的に接続するコンタクト材と、を具備することを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、不揮発性半導体記憶装置に関するものであり、特に高密度化、高集積化に適したメモリセルアレイを有する不揮発性半導体記憶装置に関するものである。

【0002】

【従来の技術】

電氣的にデータの書き換えが可能で、高密度化、大容量化に適した不揮発性半導体記憶装置として、フラッシュメモリが良く知られている。一般に、フラッシュメモリでは、電荷蓄積層と制御ゲートが積層された積層ゲートを持つ MOS トランジスタ構造のメモリセルが、複数個接続されてアレイ状に配置されている。これらメモリセルの制御ゲートにはワード線信号が入力され、メモリセルのソースまたはドレインにはビット線信号が入力される。

【0003】

図 8 (a) は、NOR 型のフラッシュメモリにおけるメモリセルアレイの構成を示す平面図である。図 8 (b) は、図 8 (a) に示したメモリセルアレイの 8 B - 8 B 線に沿った断面図である。

【0004】

図 8 (b) に示すように、p 型シリコン半導体基板 101 上には、トンネルゲート絶縁膜 102 を介して電荷蓄積層 103 が形成されている。電荷蓄積層 103 上には、ゲート間絶縁膜 104 を介して制御ゲート 105 が形成されている。メモリセルは、電荷蓄積層 103 と制御ゲート 105 が積層された積層ゲートを有している。この積層ゲートは、側端部が揃うように、自己整合的に垂直に加工されている。

【0005】

また、1つのメモリセルは、n型拡散層によって形成されたソース106A及びドレイン106Bを有している。ソース106A及びドレイン106Bは、積層ゲートの両側に形成されている。ソース106A及びドレイン106Bの一方がビット線コンタクト107を介してビット線108に接続され、他方が共通ソース線コンタクト109を介して共通ソース線110に接続されている。

【0006】

なお、共通ソース線110とソース106Aとの接続は、ビット線と同様にコンタクトを介する構造、埋め込み金属線で直接接続する構造、各ビット線毎のメモリセルのソースを、拡散層を用いて連結する構造などが広く用いられている。ここでは、コンタクト109を介して共通ソース線110に接続する場合を示した。

【0007】

前記ビット線コンタクト107はその側端部が積層ゲートと隣接しており、ビット線108との接続部においてはコンタクト107の一部が積層ゲート上にまで張り出した、いわゆるセルフアラインコンタクト構造になっている。このような構造になっているのは、ビット線コンタクト107と積層ゲート間の寸法余裕をなくして、メモリセルアレイの微細化を行うためである。セルフアラインコンタクト形状とするために、積層ゲートはキャップ材111、例えば窒化シリコン膜によって周囲を覆われており、特に制御ゲート上105のキャップ材111は厚く形成されている。これにより、コンタクト孔内に埋め込まれた導電材、例えば低抵抗ポリシリコンや金属材と、制御ゲート105が短絡することを防止している。なお、112はBPSG膜等からなる層間絶縁膜である。

【0008】

前記共通ソース線コンタクト109はセルフアラインコンタクト構造ではなく、積層ゲートとコンタクト109間に余裕をとっている。これは、NOR型メモリでは、消去動作時に制御ゲートとソース間に10V程度の電位差が発生するためであり、このときの耐圧を保つためにセルフアラインコンタクト化が困難であるためである。

【0009】

図 9 (a) は、NAND 型のフラッシュメモリにおけるメモリセルアレイの構成を示す平面図である。図 9 (b) は、図 9 (a) に示したメモリセルアレイの 9 B - 9 B 線に沿った断面図である。

【 0 0 1 0 】

複数のメモリセルがソース及びドレインを共有して直列に接続されて、NAND 列を構成している。NAND 列の両端には、選択トランジスタが配置されている。両端に配置された選択トランジスタのうち、一方の選択トランジスタのドレインあるいはソースは、ビット線コンタクト 2 0 7 を介してビット線 2 0 8 に接続され、他方の選択トランジスタのドレインあるいはソースは、共通ソース線コンタクト 2 0 9 を介して共通ソース線 2 1 0 に接続されている。

【 0 0 1 1 】

図 9 (b) は、図 9 (a) に示した前記メモリセルアレイの 9 B - 9 B 線に沿った断面図である。

【 0 0 1 2 】

メモリセル及び選択トランジスタは、NOR 型メモリセルと同様に電荷蓄積層 2 0 3 と制御ゲート 2 0 5 が積層された積層ゲートを有している。選択トランジスタの電荷蓄積層 2 0 3 あるいは電荷蓄積層 2 0 3 と制御ゲート 2 0 5 は、図面で示した領域とは別の箇所においてゲート信号線に接続されている。

【 0 0 1 3 】

前記ビット線コンタクト 2 0 7 は、その側端部が積層ゲートと隣接しており、ビット線 2 0 8 との接続部においてはコンタクト 2 0 7 の一部が積層ゲート上にまで張り出した、いわゆるセルフアラインコンタクト構造となっている。これは、ビット線コンタクト 2 0 7 と積層ゲート間の寸法余裕をなくして、メモリセルアレイの微細化を行うためである。セルフアラインコンタクト形状とするために、積層ゲートはキャップ材 2 1 1、例えば窒化シリコン膜によって周囲を覆われており、特に制御ゲート 2 0 5 上のキャップ材 2 1 1 は厚く形成されている。これにより、コンタクト孔内に埋め込まれた導電材、例えば低抵抗ポリシリコンや金属材料と、制御ゲート 2 0 5 が短絡することを防止している。

【 0 0 1 4 】

なお、NAND型ではビット線コンタクト207と同様に、共通ソース線コンタクト209もセルフアラインコンタクト構造となっている。これは、NAND型メモリでは、共通ソース線210と、ソース線に隣接する選択トランジスタの制御ゲート205との間に電源電圧（3V程度）の電位差しか発生しないためであり、セルフアラインコンタクト化を行っても問題が生じないからである。

【0015】

セルフアラインコンタクト構造は、コンタクトとゲート間の余裕をなくして、ビット線208方向のセルアレイ長を縮小することが目的であり、NAND型、NOR型にかかわらず、非常に効果的である。また、デザインルールの縮小に伴い、ゲート長が縮小されるに連れて、セルフアラインコンタクト構造は有効性がさらに高まると考えられる。これは、リソグラフィ時の合わせばらつきなどは、ゲート長の縮小と同様の割合でスケールングされ難いため、コンタクトとゲート間の距離はゲート長と同程度には縮小されないからである。

【0016】

ここで、ビット線コンタクト207及び共通ソース線コンタクト209の形成は、通常以下のように行われる。まず、積層ゲートを層間絶縁膜213、例えば二酸化シリコン膜にボロンやリン等の不純物を混入してメルト性を高めたBPSG膜などで埋め込み、CMP等により平坦化処理を行う。

【0017】

その後、ドライエッチングにて、コンタクト孔の開口を行う。このコンタクト孔の開口では、制御ゲート205を覆っているキャップ材211と層間絶縁膜213とのエッチング選択比が高くないと、制御ゲート205上のキャップ材211が薄くなり、あるいは完全に除去されて制御ゲート205が露出してしまう。この場合、コンタクト材の埋め込み時に、制御ゲート205とコンタクト材とが短絡する不良が発生する。このため、キャップ材211には、二酸化シリコン系の層間絶縁膜213に対して、比較的高選択比が得られる窒化シリコン系膜が広く用いられている。

【0018】

ところが、窒化シリコン系膜がトランジスタのゲートを覆って形成されると、

ゲート脇の拡散層上に、主に二酸化シリコン膜からなるゲート絶縁膜と窒化シリコン膜とからなる積層絶縁膜構造が形成されるため、トランジスタの五極管動作時にチャネルで発生するホットエレクトロンが積層絶縁膜界面（ゲート絶縁膜と窒化シリコン膜との界面）に捕獲されて電子トラップとなる。この電子トラップが発生すると、トランジスタのオン電流の変調、しきい値電圧の変動、サーフェス接合耐圧劣化などを引き起こすことが一般に知られている。

【 0 0 1 9 】

フラッシュメモリは、メモリセルアレイと周辺回路とを有している。周辺回路は、メモリセルアレイ領域の外側に形成され、制御ゲート信号やビット線信号を発生し駆動するための回路である。このフラッシュメモリでは、加工工程削減と加工プロセスの共通化を図るために、周辺回路を構成する周辺トランジスタもメモリセルと同様のゲート構造とする場合が多い。このため、周辺トランジスタも、ゲートがキャップ材で覆われた形状となり、メモリセルや選択トランジスタと同様に前述した特性劣化を起こす可能性が大きい。

【 0 0 2 0 】

この問題を解決するために、窒化シリコン膜とゲートとの間に二酸化シリコン系膜を挟む構造が提案されている（特願平 1 1 - 3 2 8 1 4 9 号公報）。拡散層上の薄いゲート絶縁膜と窒化シリコン膜の間に二酸化シリコン系膜を挟むことで、拡散層と窒化シリコン膜の間の距離を広げてホットエレクトロンの捕獲を抑制することが目的である。

【 0 0 2 1 】

ところが、この窒化シリコン膜とゲートとの間に二酸化シリコン系膜を挟む構造を、前述のセルフアラインコンタクト構造と合わせることは以下のような問題があり、非常に難しい。

【 0 0 2 2 】

図 1 0 (a) 、図 1 0 (b) 、図 1 1 (a) 、図 1 1 (b) は、窒化シリコン膜と積層ゲートとの間に二酸化シリコン系膜を挟む構造において、セルフアラインコンタクトを形成する場合の工程の断面図である。

【 0 0 2 3 】

積層ゲート形成後に、二酸化シリコン膜 2 1 4 と窒化シリコン膜 2 1 5 を、それぞれ例えば 2 0 0 Å と 4 0 0 Å 程度、順に堆積する。さらに、層間絶縁膜 2 1 3 を埋め込み、熱アニールによって層間絶縁膜 2 1 3 をメルトさせた後、図 1 0 (a) に示すように、例えば CMP 等によって層間絶縁膜 2 1 3 を平坦化する。

【 0 0 2 4 】

続いて、図 1 0 (a) に示す構造上に、レジスト膜 2 1 6 を塗布する。その後、図 1 0 (b) に示すように、リソグラフィ法により、コンタクト部に相当するレジスト膜 2 1 6 を開口する。

【 0 0 2 5 】

次に、レジスト膜 2 1 6 をマスクとしたドライエッチングにより、図 1 1 (a) に示すように、層間絶縁膜 2 1 3 をエッチングする。このとき、層間絶縁膜 2 1 3 と窒化シリコン膜のエッチング選択比に対応して、窒化シリコン膜 2 1 5 及びキャップ材 2 1 1 の窒化シリコン膜がエッチングされる。一般に、ゲート端部はエッチングが集中し、膜減りが多くなりやすいため、一部分で二酸化シリコン膜 2 1 4 が露出し、最悪の場合には二酸化シリコン膜 2 1 4 がエッチバックされてしまう可能性がある。

【 0 0 2 6 】

この後、図 1 1 (a) に示す構造上に、HF 処理などの界面清浄処理を施してから、コンタクト材 2 1 7、例えば低抵抗ポリシリコンやタングステン (W) などの金属を埋め込み、図 1 1 (b) に示すように、コンタクト材 2 1 7 を平坦化してコンタクトの形成を終了する。

【 0 0 2 7 】

前述した製造方法では、コンタクト孔内の二酸化シリコン膜 2 1 4 がエッチバックされて後退した部分にコンタクト材 2 1 7 (埋め込み電極材) が入り込み、制御ゲート 2 0 5 と短絡する可能性が高くなる。したがって、従来の技術では、信頼性向上のための、窒化シリコン膜 2 1 5 と積層ゲートとの間に二酸化シリコン膜 2 1 4 を挟む構造は、セルフアラインコンタクト構造と共通に用いることが困難である。

【 0 0 2 8 】

また、セルフアラインコンタクト構造を、ビット線コンタクト及び共通ソース線コンタクトに使用する場合の他の問題点として、素子分離絶縁膜の段差部分の側面への膜残りがある。

【 0 0 2 9 】

図 1 2 は、図 1 1 (b) に示したメモリセルアレイを、図 9 (a) 中の 1 2 - 1 2 線に沿って切断した場合の断面図である。

【 0 0 3 0 】

図 1 2 に示すように、素子分離絶縁膜 2 1 7 で挟まれた半導体領域上では、ビット線コンタクト 2 0 7 と半導体領域とが電氣的に接続されている。素子分離絶縁膜 2 1 7 の両側の側面には、積層ゲートを覆っている二酸化シリコン膜 2 1 4 及び窒化シリコン膜 2 1 5 がスペーサ状に残っている。これが、ビット線コンタクト 2 0 7 と半導体領域とのコンタクト面積を著しく減少させている。このコンタクト面積の減少は、セル電流の実効的な低下を招くため、コンタクト孔の開口時に、半導体領域上の窒化シリコン膜 2 1 5 を完全に除去しなければならない。

【 0 0 3 1 】

しかし、一方では制御ゲート 2 0 5 上の窒化シリコン膜はセルフアラインコンタクトのために残す必要がある。このトレードオフのため、加工マージンが著しく低下してしまう。

【 0 0 3 2 】

前記問題は、特に素子分離絶縁膜が半導体領域よりも高く形成される場合により顕著となる。自己整合 S T I 法 (特願平 6 - 0 7 1 5 6 7) を用いて素子分離を行った場合には、素子分離絶縁膜が半導体基板よりも高く形成されるため、L O C O S 素子分離構造に比べてより影響は大きい。前記自己整合 S T I 法とは、浅いトレンチ溝素子分離 (S T I) 法的一种であり、電荷蓄積層を堆積した後に、トレンチ溝を形成する方法である。

【 0 0 3 3 】

また、ビット線コンタクト内に埋め込むコンタクト材として低抵抗ポリシリコンを用いた場合は、T i や T i N などのバリアメタル材をバッファ膜として用いることがなく、拡散層の不純物濃度が比較的低い場合でもコンタクト抵抗の異常

や接合リーク増加などを引き起こすことなく、オーミック接触が得られるという特徴がある。

【 0 0 3 4 】

このため、金属埋め込みコンタクトよりもコンタクト抵抗が増加するものの、コンタクトと半導体領域の余裕を減らして、素子の縮小を図る目的で、ビット線コンタクトと同一の埋め込み材を用いたコンタクトを、周辺回路を構成する周辺トランジスタで使用する場合があります。例えば、高耐圧系トランジスタの拡散層へのコンタクトに用いる場合が報告されている（特願平 1 1 - 2 7 3 4 6 6 号公報）。

【 0 0 3 5 】

この場合、高耐圧系トランジスタのコンタクト孔の開口を、ビット線コンタクトのコンタクト孔開口と同時に行う必要がある。ところが、高耐圧系トランジスタのゲート絶縁膜はメモリセルに比べて、はるかに厚い。例えば、メモリセルのゲート絶縁膜の膜厚が 1 0 0 Å 程度であるのに対して、高耐圧系トランジスタのゲート絶縁膜の膜厚は NOR 型フラッシュメモリで 1 5 0 Å ~ 2 0 0 Å、NAND 型フラッシュメモリで 3 0 0 Å ~ 4 0 0 Å である。したがって、高耐圧系トランジスタの拡散層上にコンタクト孔を完全に開口するためには、拡散層上の窒化シリコン膜をエッチング除去後、さらに、ゲート絶縁膜を 1 5 0 Å ~ 4 0 0 Å 程度エッチングする必要がある。

【 0 0 3 6 】

しかし、追加エッチングを行えば、ビット線コンタクトにおいて制御ゲート上のキャップ材の膜減りが生じたり、コンタクト部に一部かかっている素子分離絶縁膜がエッチングで後退するといった不良が発生する。つまり、ビット線コンタクトの形成にセルフアラインコンタクト構造を採用する場合には、周辺トランジスタのコンタクトをビット線コンタクトと同一工程にて形成することがきわめて困難になるといった問題がある。

【 0 0 3 7 】

以上述べたように、ビット線コンタクトをセルフアラインコンタクト構造とする場合に、従来提案されている技術が使用できないという問題がある。

【 0 0 3 8 】

【発明が解決しようとする課題】

以上のように、従来の不揮発性半導体記憶装置では、ビット線コンタクトにセルフアラインコンタクト構造を導入すると、前述した高信頼性化技術や周辺トランジスタの微細化技術が使用できないという問題を有している。

【 0 0 3 9 】

そこでこの発明は、前記課題に鑑みてなされたものであり、ビット線コンタクトをセルフアラインコンタクト構造とする際の加工マージンを高くでき、高密度化及び高信頼性化を図ることができる不揮発性半導体記憶装置を提供することを目的とする。

【 0 0 4 0 】

【課題を解決するための手段】

前記目的を達成するために、この発明に係る請求項 1 に記載の不揮発性半導体記憶装置は、第 1 導電型の半導体基体と、前記半導体基体に、互いに離間して形成された第 2 導電型の第 1、第 2 半導体領域と、前記第 1 半導体領域と前記第 2 半導体領域との間の前記半導体基体上に、ゲート絶縁膜を介して形成され、電荷蓄積層、制御ゲート、及びこの制御ゲート上のキャップ絶縁膜を含む積層ゲートと、前記第 1、第 2 半導体領域上に形成された層間絶縁膜と、前記層間絶縁膜上に形成され、信号の入出力を行うビット線と、前記層間絶縁膜上に形成され、信号の入出力を行うソース線と、前記層間絶縁膜内に埋め込まれ、前記第 1 半導体領域と前記ビット線とを電氣的に接続するビット線コンタクトと、前記層間絶縁膜内に埋め込まれ、前記第 2 半導体領域と前記ソース線とを電氣的に接続するソース線コンタクトとを具備する不揮発性半導体記憶装置であって、前記ビット線コンタクトあるいはソース線コンタクトのいずれとも隣接しない第 1 の積層ゲートは、前記キャップ絶縁膜と異なる材料からなる第 1 の絶縁膜で覆われると共に、前記第 1 の絶縁膜が前記キャップ絶縁膜と同一材料からなる第 2 の絶縁膜で覆われ、前記ビット線コンタクトあるいはソース線コンタクトのいずれかと隣接する第 2 の積層ゲートは、少なくとも隣接する前記ビット線コンタクトあるいはソース線コンタクト側の前記積層ゲート側面が前記第 1 の絶縁膜で覆われておらず

、前記積層ゲート側面を含む第2の積層ゲートが前記第2の絶縁膜で覆われていることを特徴とする。

【0041】

このように構成された不揮発性半導体記憶装置では、ビット線コンタクトあるいはソース線コンタクトと隣接する積層ゲートにおいて、この積層ゲートのコンタクトが隣接する側面には、キャップ絶縁膜と異なる材料の第1の絶縁膜が形成されていないため、コンタクト孔の開口時に、第1の絶縁膜が露出してこの第1の絶縁膜がエッチバックされることはない。これにより、コンタクト部のセルフアラインコンタクト構造の形成が容易になる。

【0042】

この発明に係る請求項2に記載の不揮発性半導体記憶装置は、請求項1に記載の構成において、前記第1の絶縁膜が膜厚200Å以下の酸化物系絶縁膜であり、前記第2の絶縁膜が膜厚400Å以下の窒化物系絶縁膜であることを特徴とする。

【0043】

このように構成された不揮発性半導体記憶装置では、第1の絶縁膜がキャップ絶縁膜と異なる材料で、エッチング選択性が得られる酸化物系絶縁膜であり、かつ膜厚がメモリセルのゲート絶縁膜よりも十分に厚いため、ホットエレクトロンの捕獲を抑制する効果が得られる。また、第2の絶縁膜は、キャップ絶縁膜と同種の窒化物系絶縁膜であり、かつ膜厚が第1の絶縁膜よりも十分に厚いため、コンタクト孔の開口時に、第1の絶縁膜をエッチング除去する際、キャップ絶縁膜が著しくエッチバックされることを防止できる。

【0044】

この発明に係る請求項3に記載の不揮発性半導体記憶装置は、請求項1に記載の構成において、前記ビット線コンタクトの対向する2つの側端面は前記第2の絶縁膜に接しており、前記側端面の一部は前記キャップ絶縁膜上に張り出していることを特徴とする。

【0045】

このように構成された不揮発性半導体記憶装置では、ビット線コンタクトはセ

セルフアラインコンタクトであって、ビット線コンタクトの一部分が隣接するゲート上に張り出しているため、長方形のコンタクトとなり、ビット線コンタクトのピッチが狭くなった際にはリソグラフィのマージンを高くできる。

【 0 0 4 6 】

この発明に係る請求項 4 に記載の不揮発性半導体記憶装置は、請求項 1 に記載の構成において、前記ビット線コンタクトあるいはソース線コンタクトの少なくともいずれか一方の対向する 2 つの側端面は前記第 2 の絶縁膜に接しており、前記側端面の一部は前記キャップ絶縁膜上に張り出していることを特徴とする。

【 0 0 4 7 】

このように構成された不揮発性半導体記憶装置では、ビット線コンタクト及びソース線コンタクトはセルフアラインコンタクトであって、その一部分が隣接するゲート上に張り出しているため、長方形のコンタクトとなり、ビット線コンタクトのピッチ及びソース線コンタクトのピッチが狭くなった際にはリソグラフィのマージンを高くできる。

【 0 0 4 8 】

この発明に係る請求項 5 に記載の不揮発性半導体記憶装置は、請求項 1 に記載の構成において、前記第 1 の積層ゲートは前記電荷蓄積層と前記半導体基体との間で電荷の授受を行ってデータを記憶するメモリセルを構成し、前記第 2 の積層ゲートは前記メモリセルと前記ビット線あるいはソース線との間に配置された選択トランジスタを構成することを特徴とする。

【 0 0 4 9 】

このように構成された不揮発性半導体記憶装置では、ビット線コンタクトあるいはソース線コンタクトはセルフアラインコンタクトであって、隣接する選択トランジスタを介してメモリセルと接続される。これは、NAND型、AND型、DINOR型等のようなメモリセルアレイ内にメモリセルと選択トランジスタの両方が配置されている場合を示している。

【 0 0 5 0 】

この発明に係る請求項 6 に記載の不揮発性半導体記憶装置は、請求項 5 に記載の構成において、前記積層ゲートを有する前記メモリセルが複数個配列されたメ

メモリセルアレイを有し、このメモリセルアレイの領域外に前記ビット線、ソース線及び制御ゲートの信号を制御するための周辺トランジスタを含む周辺回路を有し、前記周辺トランジスタのゲート電極は前記第 1 の絶縁膜及び第 2 の絶縁膜で覆われていることを特徴とする。

【 0 0 5 1 】

このように構成された不揮発性半導体記憶装置では、メモリセルアレイ内のメモリセルと同様に、周辺回路を構成する周辺トランジスタにおいても、ゲート電極を第 1 の絶縁膜及び第 2 の絶縁膜で覆っているため、工程を追加することなく、同一基板上に同一工程で同時にメモリセルと周辺トランジスタのゲート構造を形成できる。

【 0 0 5 2 】

この発明に係る請求項 7 に記載の不揮発性半導体記憶装置は、第 1 導電型の半導体基体と、前記半導体基体に、互いに離間して形成された第 2 導電型の第 1、第 2 半導体領域と、前記第 1 半導体領域と前記第 2 半導体領域との間の前記半導体基体上に、ゲート絶縁膜を介して形成され、電荷蓄積層、制御ゲート、及びこの制御ゲート上のキャップ絶縁膜を含む積層ゲートと、前記第 1、第 2 半導体領域上に形成された層間絶縁膜と、前記層間絶縁膜上に形成され、信号の入出力を行うビット線と、前記層間絶縁膜上に形成され、信号の入出力を行うソース線と、前記層間絶縁膜内に埋め込まれ、前記第 1 半導体領域と前記ビット線とを電気的に接続するビット線コンタクトと、前記層間絶縁膜内に埋め込まれ、前記第 2 半導体領域と前記ソース線とを電気的に接続するソース線コンタクトとを具備する不揮発性半導体記憶装置であって、前記ビット線コンタクトあるいはソース線コンタクトのいずれとも隣接しない第 1 の積層ゲートは、前記キャップ絶縁膜と異なる材料からなる第 1 の絶縁膜で覆われると共に、前記第 1 の絶縁膜が前記キャップ絶縁膜と同一材料からなる第 2 の絶縁膜で覆われ、前記ビット線コンタクトあるいはソース線コンタクトのいずれかと隣接する第 2 の積層ゲートは、少なくとも隣接する前記ビット線コンタクトあるいはソース線コンタクト側の前記キャップ絶縁膜の側面が前記第 1 の絶縁膜で覆われておらず、前記キャップ絶縁膜の側面を含む第 2 の積層ゲートが前記第 2 の絶縁膜で覆われていることを特徴と

する。

【 0 0 5 3 】

このように構成された不揮発性半導体記憶装置では、ビット線コンタクトあるいはソース線コンタクトと隣接する積層ゲートにおいて、キャップ絶縁膜のコンタクトが隣接する側面には、キャップ絶縁膜と異なる材料の第 1 の絶縁膜が形成されていないため、コンタクト孔の開口時に、第 1 の絶縁膜が露出してこの第 1 の絶縁膜がエッチバックされることはない。これにより、コンタクト部のセルフアラインコンタクト構造の形成が容易になる。

【 0 0 5 4 】

この発明に係る請求項 8 に記載の不揮発性半導体記憶装置は、請求項 7 に記載の構成において、前記第 2 の積層ゲートは、隣接する前記ビット線コンタクトあるいはソース線コンタクト側の前記制御ゲートの側面の少なくとも一部が前記第 1 の絶縁膜に覆われており、隣接する前記ビット線コンタクトあるいはソース線コンタクト側の前記電荷蓄積層の側面が全て前記第 1 の絶縁膜に覆われていることを特徴とする。

【 0 0 5 5 】

このように構成された不揮発性半導体記憶装置では、ビット線コンタクトあるいはソース線コンタクトと隣接するキャップ絶縁膜の側面には、第 1 の絶縁膜が形成されておらず、制御ゲートの側面から下側（電荷蓄積層の側面を含む）のみを覆う構造のため、コンタクト孔の開口時に、第 1 の絶縁膜がエッチバックされることはない。これにより、コンタクト部のセルフアラインコンタクト構造の形成が容易になる。

【 0 0 5 6 】

この発明に係る請求項 9 に記載の不揮発性半導体記憶装置は、第 1 導電型の半導体基体と、前記半導体基体に、互いに離間して形成された第 2 導電型の第 1、第 2 半導体領域と、前記第 1 半導体領域と前記第 2 半導体領域との間の前記半導体基体上に、ゲート絶縁膜を介して形成され、電荷蓄積層、制御ゲート、及びこの制御ゲート上のキャップ絶縁膜を含む積層ゲートと、前記第 1、第 2 半導体領域上に形成された層間絶縁膜と、前記層間絶縁膜上に形成され、信号の入出力を

行うビット線と、前記層間絶縁膜上に形成され、信号の入出力を行うソース線と、前記層間絶縁膜内に埋め込まれ、前記第 1 半導体領域と前記ビット線とを電氣的に接続するビット線コンタクトと、前記層間絶縁膜内に埋め込まれ、前記第 2 半導体領域と前記ソース線とを電氣的に接続するソース線コンタクトとを具備する不揮発性半導体記憶装置であって、前記積層ゲートの制御ゲートの側面の少なくとも一部は、前記キャップ絶縁膜と異なる材料からなる第 1 の絶縁膜で覆われ、前記積層ゲートの電荷蓄積層の側面の全ては、前記第 1 の絶縁膜で覆われ、前記積層ゲートのキャップ絶縁膜の側面は、前記第 1 の絶縁膜で覆われておらず、前記積層ゲート及び前記第 1 の絶縁膜は前記キャップ絶縁膜と同一材料からなる第 2 の絶縁膜で覆われていることを特徴とする。

【 0 0 5 7 】

このように構成された不揮発性半導体記憶装置では、メモリセルの全ての積層ゲートにおいて、第 1 の絶縁膜がキャップ絶縁膜の側面に形成されておらず、制御ゲートの側面から下側（電荷蓄積層の側面を含む）のみを覆う構造のため、コンタクト孔の開口時に、第 1 の絶縁膜がエッチバックされることはない。これにより、コンタクト部のセルフアラインコンタクト構造の形成が容易になる。

【 0 0 5 8 】

この発明に係る請求項 1 0 に記載の不揮発性半導体記憶装置は、半導体基板に形成された複数のトレンチ溝に埋め込まれた素子分離用絶縁材からなる素子分離領域と、前記素子分離領域によって電氣的に分離された複数の第 1 導電型の第 1 半導体領域と、前記第 1 半導体領域に、互いに離間して形成された第 2 導電型の第 2、第 3 半導体領域と、前記第 2 半導体領域と前記第 3 半導体領域との間の前記第 1 半導体領域上に、ゲート絶縁膜を介して形成され、電荷蓄積層、制御ゲート、及びこの制御ゲート上のキャップ絶縁膜を含む積層ゲートと、前記第 2、第 3 半導体領域上に形成された層間絶縁膜と、前記層間絶縁膜上に形成され、信号の入出力を行うビット線と、前記層間絶縁膜上に形成され、信号の入出力を行うソース線と、前記層間絶縁膜内に埋め込まれ、前記第 2 半導体領域と前記ビット線とを電氣的に接続するビット線コンタクトと、前記層間絶縁膜内に埋め込まれ、前記第 3 半導体領域と前記ソース線とを電氣的に接続するソース線コンタクト

とを具備する不揮発性半導体記憶装置であって、前記電荷蓄積層は前記トレンチ溝と側端面が揃うように配置されており、前記素子分離領域は半導体基板面より高い位置まで形成されており、かつ前記制御ゲート下の素子分離領域の位置は制御ゲート間の素子分離領域の位置より高いことを特徴とする。

【 0 0 5 9 】

このように構成された不揮発性半導体記憶装置では、制御ゲート間の素子分離用絶縁膜の膜厚を制御ゲート下の素子分離用絶縁膜の膜厚よりも薄くすることにより、ビット線コンタクトを形成するゲート間の素子分離用絶縁膜の半導体領域脇における段差を小さくすることができる。このため、コンタクト孔の開口時に生じる、第 1 の絶縁膜あるいは第 2 の絶縁膜の残さをなくすることが可能となり、コンタクト抵抗の増加を抑制することができる。

【 0 0 6 0 】

この発明に係る請求項 1 1 に記載の不揮発性半導体記憶装置は、請求項 1 0 に記載の構成において、前記制御ゲート間の素子分離領域の位置は、半導体基板面よりも高く、前記電荷蓄積層の上面より低いことを特徴とする。

【 0 0 6 1 】

このように構成された不揮発性半導体記憶装置では、制御ゲート間の素子分離用絶縁膜の高さを制御ゲート下の素子分離用絶縁膜の高さよりも低い構造とする際に、トレンチ溝より高く、電荷蓄積層より低く設定することにより、半導体領域脇における素子分離用絶縁膜の段差を小さくすることができる。このため、コンタクト孔の開口時に、第 1 の絶縁膜あるいは第 2 の絶縁膜の残さを小さくすることが可能となり、コンタクト抵抗の増加を抑制することができる。

【 0 0 6 2 】

この発明に係る請求項 1 2 に記載の不揮発性半導体記憶装置は、請求項 1 0 に記載の構成において、前記ビット線、ソース線及び制御ゲートの信号を制御するための周辺トランジスタを含む周辺回路をさらに具備し、前記周辺トランジスタはゲート電極、ソース拡散層、ドレイン拡散層を有し、ソース拡散層及びドレイン拡散層のいずれかに接続されるコンタクト材が前記ビット線コンタクトあるいはソース線コンタクトをなすコンタクト材と同じトランジスタであって、前記ソ

ース拡散層及びドレイン拡散層のいずれかに接続されるコンタクト材に隣接するゲート絶縁膜の膜厚が前記ゲート電極下のゲート絶縁膜の膜厚よりも薄いことを特徴とする。

【 0 0 6 3 】

このように構成された不揮発性半導体記憶装置では、周辺回路を構成する周辺トランジスタのうち、ソース拡散層あるいはドレイン拡散層に接続されるコンタクトをビット線コンタクトと同一の構造で形成する場合、ソース拡散層上あるいはドレイン拡散層上（コンタクト部）のゲート絶縁膜を、予めメモリセルと同等に薄膜化することにより、ビット線コンタクトと同時に形成することが可能となる。

【 0 0 6 4 】

この発明に係る請求項 1 3 に記載の不揮発性半導体記憶装置は、請求項 1 2 に記載の構成において、前記周辺トランジスタは、前記積層ゲートを有するメモリセルの電荷授受動作時にメモリセルに印加される書き込み及び消去用高電圧を駆動する高耐圧系トランジスタであり、前記ゲート電極下のゲート絶縁膜の膜厚は前記メモリセルの電荷蓄積層下のゲート絶縁膜の膜厚よりも厚いことを特徴とする。

このように構成された不揮発性半導体記憶装置では、ビット線コンタクトと同時に形成する、ソース拡散層上あるいはドレイン拡散層上のコンタクトを有するトランジスタが高耐圧系トランジスタの場合、この高耐圧系トランジスタのゲート絶縁膜の膜厚がメモリセルのゲート絶縁膜の膜厚に比べてはるかに厚いため、予めメモリセルと同等に高耐圧系トランジスタのゲート絶縁膜を薄膜化することにより、ビット線コンタクトと同時に形成することが可能となる。

【 0 0 6 5 】

る。

【 0 0 6 6 】

この発明に係る請求項 1 4 に記載の不揮発性半導体記憶装置は、第 1 導電型の半導体基体と、前記半導体基体に、互いに離間して形成された第 2 導電型の第 1 、第 2 半導体領域と、前記第 1 半導体領域と前記第 2 半導体領域との間の前記半導体基体上に、第 1 ゲート絶縁膜を介して形成された電荷蓄積層と、前記電荷蓄

積層上に第 2 ゲート絶縁膜を介して形成された制御ゲートと、前記制御ゲート上に形成されたキャップ絶縁膜と、前記電荷蓄積層、制御ゲート、キャップ絶縁膜を含む積層ゲートの第 1 の側面上に形成され、前記キャップ絶縁膜と異なる材料からなる第 1 の絶縁膜と、前記積層ゲートの前記第 1 の側面と対向する第 2 の側面上に形成され、前記キャップ絶縁膜と同一材料からなる第 2 の絶縁膜と、信号の入出力を行う配線層と、第 1 半導体領域上に形成された層間絶縁膜と、前記層間絶縁膜上に形成された配線層と、前記積層ゲートの前記第 1 の側面に隣接して前記層間絶縁膜内に埋め込まれ、前記第 1 半導体領域と前記配線層とを電気的に接続するコンタクト材とを具備することを特徴とする。

【 0 0 6 7 】

このように構成された不揮発性半導体記憶装置では、コンタクト材と隣接する積層ゲートにおいて、この積層ゲートのコンタクト材が隣接する側面には、キャップ絶縁膜と異なる材料の第 1 の絶縁膜が形成されていないため、コンタクト孔の開口時に、第 1 の絶縁膜が露出してこの第 1 の絶縁膜がエッチバックされることはない。これにより、コンタクト部のセルフアラインコンタクト構造の形成が容易になる。

【 0 0 6 8 】

【発明の実施の形態】

以下、図面を参照してこの発明の実施の形態について説明する。

【 0 0 6 9 】

【第 1 の実施の形態】

まず、この発明の第 1 の実施の形態として、NOR 型の不揮発性半導体記憶装置について説明する。

【 0 0 7 0 】

図 1 (a) は、第 1 の実施の形態の NOR 型不揮発性半導体記憶装置におけるメモリセルアレイの構成を示す平面図である。図 1 (b) は、前記メモリセルアレイの 1 B - 1 B 線に沿った断面図である。

【 0 0 7 1 】

p 型シリコン半導体基板 1 1 あるいは p 型ウェルには、素子分離用のトレンチ

溝が形成されている。このトレンチ溝内部には、素子分離用絶縁材料、例えば二酸化シリコン材が埋め込まれている。このように素子分離された基板上のチャネル領域全面には、トンネル電流が流れ得る薄いトンネル絶縁膜 1 2 が形成されている。

【 0 0 7 2 】

このトンネル絶縁膜 1 2 上には、電荷蓄積層 1 3 が形成されている。この電荷蓄積層 1 3 は、その側端部が素子分離領域と揃うように形成されている。電荷蓄積層 1 3 は、素子分離領域上にまで一部分が張り出しており、素子分離領域上で切断されてメモリセルごとに分離されている。電荷蓄積層 1 3 上には、ゲート間絶縁膜 1 4 を介して制御ゲート 1 5 が形成されている。

【 0 0 7 3 】

前記制御ゲート 1 5 上には、ゲートキャップ膜 1 6 として、例えば窒化シリコン膜が形成されている。ゲートキャップ膜 1 6 及び制御ゲート 1 5 は、電荷蓄積層 1 3 と側端部が揃うように自己整合的に垂直加工されており、電荷蓄積層 1 3 、制御ゲート 1 5 及びゲートキャップ膜 1 6 により、積層ゲート構造が形成されている。積層ゲートの両側の半導体基板 1 1 には、チャネル部の p 型半導体基板（あるいは p 型ウェル） 1 1 と反対の導電型の不純物がドーピングされたソース 1 7 A 及びドレイン 1 7 B が形成されている。これらソース 1 7 A 及びドレイン 1 7 B は、n 型拡散層からなる。

【 0 0 7 4 】

前記ドレイン 1 7 B 上には、このドレイン 1 7 B に接続されたビット線コンタクト 1 8 が形成されている。ソース 1 7 A 上には、このソース 1 7 A に接続された共通ソース線コンタクト 1 9 が形成されている。ビット線コンタクト 1 8 及び共通ソース線コンタクト 1 9 は、導電材である低抵抗ポリシリコン及び金属材料などからなる。これらコンタクト 1 8 、1 9 の上部はそれぞれ平坦化されており、ビット線コンタクト 1 8 は金属電極からなるビット線 2 0 に、共通ソース線コンタクト 1 9 は共通ソース線 2 1 にそれぞれ接続されている。

【 0 0 7 5 】

また、メモリセルの積層ゲートは、二酸化シリコン膜からなるゲートバリア膜

22で覆われている。さらに、ゲートバリア膜22上は、窒化シリコン膜からなるコンタクトバリア膜23で覆われている。ここで、ビット線コンタクト18に近接する積層ゲートの側面は、ゲートバリア膜22が部分的に除去されており、この側面が直接、コンタクトバリア膜23で覆われた構造となっている。言い換えると、共通ソース線コンタクト19に近接する積層ゲートの側面には、ゲートバリア膜22が形成され、さらにこのゲートバリア膜22上にはコンタクトバリア膜23が形成されている。一方、ビット線コンタクト18に近接する積層ゲートの側面には、ゲートバリア膜22が形成されておらず、この側面には直接、コンタクトバリア膜23が形成されている。また、半導体基板11の上には、図1(b)に示すように、層間絶縁膜24、例えばBPSG膜等が形成されている。

【0076】

前記共通ソース線コンタクト19は、積層ゲート側面上に形成されたコンタクトバリア膜23から所定の距離を空けて配置されている。ビット線コンタクト18は、積層ゲート側面上に形成されたコンタクトバリア膜23に接触するように距離を空けずに配置されている。さらに、ビット線コンタクト18は、両側の積層ゲート上面の上に形成されたコンタクトバリア膜23に、一部分張り出して形成されている。このビット線コンタクト18は、半導体基板11上で、隣接する積層ゲート上のコンタクトバリア膜（窒化シリコン膜）23間に埋め込まれて形成されている。ビット線コンタクト18部の構造は、コンタクトバリア膜23及びゲートキャップ膜16をマスクとして用い、自己整合的な加工により形成したコンタクト孔にコンタクト材を埋め込んだセルフアラインコンタクト構造となっている。実際には、ビット線コンタクト18は、ゲートキャップ膜16及びコンタクトバリア膜23の一部分がエッチングされた積層ゲート間のコンタクト孔に埋め込まれた形状となっている。

【0077】

この実施の形態で示したNOR型メモリセルにおいて、ビット線コンタクト18側では、ビット線コンタクト18と積層ゲート間のスペースを極力なくすること（セルフアラインコンタクト構造）によって、メモリセルアレイの縮小化を図っている。一方、共通ソース線コンタクト19側では、セルフアラインコンタクト構

造を取らず、さらにメモリセルの電気特性の変動を抑制するために、共通ソース線コンタクト 1 9 に近接する積層ゲート側面及びゲート絶縁膜 1 2 表面に二酸化シリコン膜のゲートバリア膜 2 2 を形成している。

【 0 0 7 8 】

共通ソース線コンタクト 1 9 側において、セルフアラインコンタクト構造を取らないのは、消去動作時にソース拡散層と制御ゲート間に、1 0 V 以上の高電圧が印加されるため、セルフアラインコンタクト構造にするのが困難であるという理由による。

【 0 0 7 9 】

共通ソース線コンタクト 1 9 側において、ゲート絶縁膜 1 2 表面をゲートバリア膜 2 2 で覆うのは、消去動作時にソース拡散層と半導体基板間に高電圧が印可されて発生したホットキャリア（主に正孔）がゲート絶縁膜 1 2 に注入されて、ゲート絶縁膜 1 2 とコンタクトバリア膜 2 3 との間に捕獲されるのを抑制するという理由による。

【 0 0 8 0 】

前記実施の形態において、ゲートバリア膜 2 2 の膜厚は、ホットキャリアがトンネル注入されることを防止するために、1 0 0 Å ~ 2 0 0 Å 程度必要である。コンタクトバリア膜 2 3 の膜厚は、セルフアラインによるコンタクト孔の形成時のエッチング選択比を考慮して、例えば 2 0 0 Å ~ 4 0 0 Å 程度必要である。

【 0 0 8 1 】

また、ゲートバリア膜 2 2 として、二酸化シリコン膜を用いているが、その他の酸化物系絶縁膜を用いてもよい。その他の酸化物系絶縁膜は、例えば、アルミニウム酸化膜（ Al_2O_3 など）、タンタル酸化膜（ Ta_2O_5 など）のような金属酸化膜である。また、コンタクトバリア膜 2 3 として、窒化シリコン膜を用いているが、その他の窒化物系絶縁膜を用いてもよい。

【 0 0 8 2 】

このような構造を持つ第 1 の実施の形態の NOR 型不揮発性半導体記憶装置によれば、セルフアラインコンタクト構造をもつビット線コンタクトのコンタクト孔形成時において、ビット線コンタクト 1 8 に近接する積層ゲートの側面にはゲ

ートバリア膜（二酸化シリコン膜）22が形成されていないため、ゲートバリア膜22がエッチングされて空いた領域に、コンタクト材が入り込み、コンタクト材と制御ゲートとが短絡するようなことはない。

【0083】

さらに、ソース拡散層17Aに近接するゲート絶縁膜12とコンタクトバリア膜23との間には、ゲートバリア膜（二酸化シリコン膜）22が形成されているため、ゲート絶縁膜12とコンタクトバリア膜23との間にホットキャリアが捕獲されるのを抑制することができる。

【0084】

【第2の実施の形態】

次に、この発明の第2の実施の形態として、NAND型の不揮発性半導体記憶装置について説明する。

【0085】

図2（a）は、第2の実施の形態のNAND型不揮発性半導体記憶装置におけるメモリセルアレイの構成を示す平面図である。図2（b）は、前記メモリセルアレイの2B-2B線に沿った断面図である。

【0086】

p型シリコン半導体基板31あるいはp型ウェルには、素子分離用のトレンチ溝が形成されている。このトレンチ溝内部には、素子分離用絶縁材料、例えば二酸化シリコン材が埋め込まれている。このように素子分離された基板上的チャネル領域全面には、トンネル電流が流れ得る薄いトンネル絶縁膜32が形成されている。

【0087】

このトンネル絶縁膜32上には、電荷蓄積層33が形成されている。この電荷蓄積層33は、その側端部が素子分離領域と揃うように形成されている。電荷蓄積層33は、素子分離領域上にまで一部分が張り出しており、素子分離領域上で切断されてメモリセルごとに分離されている。電荷蓄積層33上には、ゲート間絶縁膜34を介して制御ゲート35が形成されている。

【0088】

前記制御ゲート35上には、ゲートキャップ膜36として、例えば窒化シリコン膜が形成されている。ゲートキャップ膜36及び制御ゲート35は、電荷蓄積層33と側端部が揃うように自己整合的に垂直加工されており、電荷蓄積層33、制御ゲート35及びゲートキャップ膜36により、積層ゲート構造が形成されている。積層ゲートの両側の半導体基板31には、チャネル部のp型半導体基板（あるいはp型ウェル）31と反対の極性の不純物がドーピングされたn型拡散層37が形成されている。これらn型拡散層37は、ソースあるいはドレインとなる。

【0089】

複数の積層ゲートは、n型拡散層を共有するように、直列接続されて配置されている。直列接続されたこれら積層ゲートの最端のn型拡散層37上には、それぞれビット線コンタクト38及び共通ソース線コンタクト39が形成されている。これらコンタクト38、39と隣接する積層ゲートは選択トランジスタとして動作する。選択トランジスタは、電荷蓄積層33と制御ゲート35が短絡されて直接、電荷蓄積層33に信号が印加される。選択トランジスタで挟まれた複数の積層ゲートはメモリセルとして動作する。

【0090】

前記ビット線コンタクト38及び共通ソース線コンタクト39は、導電材である低抵抗ポリシリコン及び金属材などからなる。これらコンタクト38、39の上部はそれぞれ平坦化されており、ビット線コンタクト38は金属電極からなるビット線40に、共通ソース線コンタクト39は共通ソース線41にそれぞれ接続されている。

【0091】

また、メモリセルの積層ゲート、及び選択トランジスタの積層ゲートは、二酸化シリコン膜からなるゲートバリア膜42で覆われている。さらに、ゲートバリア膜42上は、窒化シリコン膜からなるコンタクトバリア膜43で覆われている。ここで、ビット線コンタクト38に隣接する選択トランジスタの積層ゲートにおいて、ビット線コンタクト38に近接する側面は、ゲートバリア膜42が部分的に除去されており、この側面が直接、コンタクトバリア膜43で覆われた構造

となっている。また、共通ソース線コンタクト 3 9 に隣接する選択トランジスタの積層ゲートにおいて、共通ソース線コンタクト 3 9 に近接する側面は、ゲートバリア膜 4 2 が部分的に除去されており、この側面が直接、コンタクトバリア膜 4 3 で覆われた構造となっている。言い換えると、選択トランジスタの積層ゲートのメモリセルに近接する側の側面には、ゲートバリア膜 4 2 が形成され、さらにこのゲートバリア膜 4 2 上にはコンタクトバリア膜 4 3 が形成されている。しかし、選択トランジスタの積層ゲートのビット線コンタクト 3 8 あるいは共通ソース線コンタクト 3 9 に近接する側の側面には、ゲートバリア膜 4 2 が形成されておらず、この側面には直接、コンタクトバリア膜 4 3 が形成されている。また、半導体基板 3 1 の上には、図 2 (b) に示すように、層間絶縁膜 4 4、例えば B P S G 膜等が形成されている。

【 0 0 9 2 】

前記ビット線コンタクト 3 8 は、選択トランジスタの積層ゲート側面上に形成されたコンタクトバリア膜 4 3 に接触するように、距離を空けずに配置されている。さらに、ビット線コンタクト 3 8 は、両側の積層ゲート上に一部分張り出して形成されている。このビット線コンタクト 3 8 は、半導体基板 3 1 上で、隣接する選択トランジスタの積層ゲート上のコンタクトバリア膜（窒化シリコン膜） 4 3 間に埋め込まれて形成されている。ビット線コンタクト 3 8 部の構造は、コンタクトバリア膜 4 3 及びゲートキャップ膜 3 6 をマスクとして用い、自己整合的な加工により形成したコンタクト孔にコンタクト材を埋め込んだセルフアラインコンタクト構造となっている。図 2 (b) に示すように、ビット線コンタクト 3 8 は、ゲートキャップ膜 3 6 及びコンタクトバリア膜 4 3 の一部分がエッチングされた積層ゲート間のコンタクト孔に埋め込まれた形状となっている。

【 0 0 9 3 】

同様に、前記共通ソース線コンタクト 3 9 は、選択トランジスタの積層ゲート側面上に形成されたコンタクトバリア膜 4 3 に接触するように、距離を空けずに配置されている。さらに、共通ソース線コンタクト 3 9 は、両側の積層ゲート上に一部分張り出して形成されている。この共通ソース線コンタクト 3 9 は、半導体基板 3 1 上で、隣接する選択トランジスタの積層ゲート上のコンタクトバリア

膜（窒化シリコン膜）43間に埋め込まれて形成されている。共通ソース線コンタクト39部の構造は、コンタクトバリア膜43及びゲートキャップ膜36をマスクとして用い、自己整合的な加工により形成したコンタクト孔にコンタクト材を埋め込んだセルフアラインコンタクト構造となっている。図2（b）に示すように、共通ソース線コンタクト39は、ゲートキャップ膜36及びコンタクトバリア膜43の一部分がエッチングされた積層ゲート間のコンタクト孔に埋め込まれた形状となっている。

【0094】

この実施の形態で示したNAND型メモリセルでは、メモリセルの積層ゲートが二酸化シリコン膜のゲートバリア膜42で覆われ、さらにゲートバリア膜42が窒化シリコン膜のコンタクトバリア膜43で覆われている。一方、選択トランジスタの積層ゲートは、コンタクト38あるいは39と近接する側面がゲートバリア膜42で覆われておらず、直接、コンタクトバリア膜43で覆われた構造となっている。

【0095】

メモリセルの積層ゲートを二酸化シリコン膜のゲートバリア膜42で覆い、積層ゲート間のゲート絶縁膜32表面にゲートバリア膜42を形成する理由は、第1の実施の形態のNOR型メモリセルの場合と同様に、ホットキャリア（主に正孔）がゲート絶縁膜32に注入されて、ゲート絶縁膜32とコンタクトバリア膜43との間に捕獲されるのを抑制するためである。

【0096】

前記実施の形態において、ゲートバリア膜42の膜厚は、ホットキャリアがトンネル注入されることを防止するために、100Å～200Å程度必要である。コンタクトバリア膜43の膜厚は、セルフアラインによるコンタクト孔の形成時のエッチング選択比を考慮して、例えば200Å～400Å程度必要である。

【0097】

また、ゲートバリア膜42として、二酸化シリコン膜を用いているが、その他の酸化物系絶縁膜を用いてもよい。その他の酸化物系絶縁膜は、例えば、アルミニウム酸化膜（ Al_2O_3 など）、タンタル酸化膜（ Ta_2O_5 など）のような

金属酸化膜である。また、コンタクトバリア膜 4 3 として、窒化シリコン膜を用いているが、その他の窒化物系絶縁膜を用いてもよい。

【 0 0 9 8 】

このような構造を持つ第 2 の実施の形態の N A N D 型不揮発性半導体記憶装置によれば、セルフアラインコンタクト構造をもつビット線コンタクト 3 8（あるいは共通ソース線コンタクト 3 9）のコンタクト孔形成時において、ビット線コンタクト（あるいは共通ソース線コンタクト）に近接する積層ゲートの側面にはゲートバリア膜（二酸化シリコン膜） 4 2 が形成されていないため、ゲートバリア膜 4 2 がエッチングされて空いた領域に、コンタクト材が入り込み、コンタクト材と制御ゲートとが短絡するようなことはない。

【 0 0 9 9 】

さらに、メモリセルの積層ゲート両側（ソースあるいはドレインをなす n 型拡散層 3 7 上）のゲート絶縁膜 3 2 と、コンタクトバリア膜 4 3 との間には、ゲートバリア膜（二酸化シリコン膜） 4 2 が形成されているため、ゲート絶縁膜 3 2 とコンタクトバリア膜 4 3 との間にホットキャリアが捕獲されるのを抑制することができる。これにより、ホットキャリア捕獲の影響によるメモリセルの電気特性変動を防止することができる。

【 0 1 0 0 】

次に、前記 N A N D 型メモリセルの製造方法について説明する。

【 0 1 0 1 】

図 3（a）、図 3（b）、図 4（a）、図 4（b）は前記 N A N D 型メモリセルの製造方法を示す主な工程の断面図である。

【 0 1 0 2 】

図 3（a）に示すように、電荷蓄積層 3 3 及び制御ゲート 3 5 を有する積層構造上に、窒化シリコン膜からなるゲートキャップ膜 3 6 を形成する。これら電荷蓄積層 3 3、制御ゲート 3 5、及びゲートキャップ膜 3 6 の側端部が揃うように、自己整合的に垂直加工して積層ゲートを形成する。

【 0 1 0 3 】

積層ゲートを形成した後、ゲートバリア膜 4 2 として二酸化シリコン膜を堆積

する。その後、ビット線コンタクト 3 8 あるいは共通ソース線コンタクト 3 9 と近接する選択トランジスタの積層ゲート側面上のゲートバリア膜 4 2 を、リソグラフィ及びエッチング処理によって剥離する。

【 0 1 0 4 】

続いて、図 3 (b) に示すように、コンタクト孔開口時のコンタクトバリア膜 4 3 となる窒化シリコン膜を堆積する。さらに、このコンタクトバリア膜 4 3 上に、層間絶縁膜 (例えば B P S G 膜) 4 4 のを形成し、熱アニールによって層間絶縁膜 4 4 をメルトさせた後、例えば CMP 等によって層間絶縁膜 4 4 を平坦化する。

【 0 1 0 5 】

次に、図 4 (a) に示すように、リソグラフィ及びドライエッチングによりコンタクト孔を開口する。このとき、層間絶縁膜 (B P S G 膜) 4 4 とコンタクトバリア膜 (窒化シリコン膜) 4 3 のエッチング選択比に対応して、ゲートキャップ膜 (窒化シリコン膜) 3 6 の一部もエッチングされる。

【 0 1 0 6 】

続いて、図 4 (b) に示すように、H F 処理などの界面清浄処理を行った後、コンタクト材、例えば低抵抗ポリシリコンやタングステン (W) などの金属を埋め込み、平坦化してビット線コンタクト 3 8 、及び共通ソース線コンタクト 3 9 を形成する。

【 0 1 0 7 】

このような N A N D 型メモリセルの製造方法では、ビット線コンタクト 3 8 あるいは共通ソース線コンタクト 3 9 と接する選択トランジスタの積層ゲート側面上のゲートバリア膜 4 2 を予め剥離することにより、コンタクト孔の開口時にゲートバリア膜 4 2 が露出してこのゲートバリア膜 4 2 が局所的にエッチバックされ、その後、コンタクト材を埋め込んだときにコンタクト材と制御ゲート 3 5 が短絡することを防止している。

【 0 1 0 8 】

[第 3 の実施の形態]

次に、この発明の第 3 の実施の形態として、N A N D 型の不揮発性半導体記憶

装置について説明する。前記第 2 の実施の形態では、コンタクト 3 8 あるいは 3 9 と近接する選択トランジスタの積層ゲート側面を覆うゲートバリア膜 4 2 を全て剥離しているが、この第 3 の実施の形態ではドライエッチング条件を最適化してゲートキャップ膜 3 6 の側面を覆うゲートバリア膜 4 2 のみを除去している。

【0 1 0 9】

図 5 は、第 3 の実施の形態の N A N D 型不揮発性半導体記憶装置におけるメモリセルアレイの断面図である。

【0 1 1 0】

図 5 に示すように、コンタクト 3 8 あるいは 3 9 に近接する積層ゲート側面を覆うゲートバリア膜 4 2 A は、電荷蓄積層 3 3 側面及びゲート間絶縁膜 3 4 側面の全域と、制御ゲート 3 5 側面の一部のみを覆っている。その他の構造は、前記第 2 の実施の形態と同様である。

【0 1 1 1】

図 5 に示すような構造を形成するには、コンタクト孔の開口時において、ドライエッチング条件を最適化し、積層ゲートの側面を覆うゲートバリア膜を制御ゲート 3 5 の側面まで後退させればよい。

【0 1 1 2】

このような構造を持つ第 3 の実施の形態でも、ビット線コンタクト 3 8 (あるいは共通ソース線コンタクト 3 9) に近接するゲートキャップ膜 3 6 の側面にはゲートバリア膜 (二酸化シリコン膜) 4 2 A が形成されていないため、コンタクト孔形成時において、ゲートバリア膜 4 2 A が露出することはない。したがって、コンタクト孔形成時に、ゲートバリア膜 4 2 A が露出し、ゲートバリア膜 4 2 A がエッチングされて空いた領域に、コンタクト材が入り込み、コンタクト材と制御ゲートとが短絡するようなことはない。

【0 1 1 3】

さらに、選択トランジスタ及びメモリセルの積層ゲート両側 (ソースあるいはドレインをなす n 型拡散層 3 7 上) のゲート絶縁膜 3 2 と、コンタクトバリア膜 4 3 との間には、ゲートバリア膜 (二酸化シリコン膜) 4 2 A が形成されているため、ゲート絶縁膜 3 2 とコンタクトバリア膜 4 3 との間にホットキャリアが捕

獲されるのを抑制することができる。これにより、ホットキャリア捕獲の影響によるメモリセルの電気特性変動を防止することができる。

【 0 1 1 4 】

なお、ゲートバリア膜 4 2 A として、二酸化シリコン膜を用いているが、その他の酸化物系絶縁膜を用いてもよい。その他の酸化物系絶縁膜は、例えば、アルミニウム酸化膜 (A l 2 O 3 など)、タンタル酸化膜 (T a 3 O 5 など) のような金属酸化膜である。

【 0 1 1 5 】

[第 4 の実施の形態]

次に、この発明の第 4 の実施の形態として、N A N D 型の不揮発性半導体記憶装置について説明する。前記第 3 の実施の形態では、コンタクト 3 8 あるいは 3 9 と近接する選択トランジスタのゲートキャップ膜 3 6 の側面を覆うゲートバリア膜 4 2 のみを除去しているが、この第 4 の実施の形態では選択トランジスタ及びメモリセル双方のゲートキャップ膜 3 6 の側面を覆うゲートバリア膜 4 2 を除去している。

【 0 1 1 6 】

図 6 は、第 4 の実施の形態の N A N D 型不揮発性半導体記憶装置におけるメモリセルアレイの断面図である。

【 0 1 1 7 】

図 6 に示すように、コンタクト 3 8 あるいは 3 9 に近接する積層ゲート側面を覆うゲートバリア膜 4 2 A は、電荷蓄積層 3 3 側面及びゲート間絶縁膜 3 4 側面の全域と、制御ゲート 3 5 側面の一部のみを覆っている。さらに、メモリセルの積層ゲート側面を覆うゲートバリア膜 4 2 A も、電荷蓄積層 3 3 側面及びゲート間絶縁膜 3 4 側面の全域と、制御ゲート 3 5 側面の一部のみを覆っている。その他の構造は、前記第 2 の実施の形態と同様である。

【 0 1 1 8 】

図 6 に示すような構造を形成するには、コンタクト孔の開口時において、リソグラフィを用いずにドライエッチング条件を最適化し、選択トランジスタのゲートキャップ膜 3 6 側面と同様に、メモリセルの積層ゲートのゲートキャップ膜 3

6 側面を覆うゲートバリア膜を同時にエッチングし、制御ゲート 3 5 の側面まで後退させればよい。

【 0 1 1 9 】

このような構造を持つ第 4 の実施の形態でも、ビット線コンタクト 3 8（あるいは共通ソース線コンタクト 3 9）に近接するゲートキャップ膜 3 6 の側面にはゲートバリア膜（二酸化シリコン膜）4 2 A が形成されていないため、コンタクト孔形成時において、ゲートバリア膜 4 2 A が露出することはない。したがって、コンタクト孔形成時に、ゲートバリア膜 4 2 A が露出し、ゲートバリア膜 4 2 A がエッチングされて空いた領域に、コンタクト材が入り込み、コンタクト材と制御ゲート 3 5 とが短絡するようなことはない。

【 0 1 2 0 】

さらに、選択トランジスタ及びメモリセルの積層ゲート両側（ソースあるいはドレインをなす n 型拡散層 3 7 上）のゲート絶縁膜 3 2 と、コンタクトバリア膜 4 3 との間には、ゲートバリア膜（二酸化シリコン膜）4 2 A が形成されているため、ゲート絶縁膜 3 2 とコンタクトバリア膜 4 3 との間にホットキャリアが捕獲されるのを抑制することができる。これにより、ホットキャリア捕獲の影響によるメモリセルの電気特性変動を防止することができる。

【 0 1 2 1 】

なお、ゲートバリア膜 4 2 A として、二酸化シリコン膜を用いているが、その他の酸化物系絶縁膜を用いてもよい。その他の酸化物系絶縁膜は、例えば、アルミニウム酸化膜（ Al_2O_3 など）、タンタル酸化膜（ Ta_2O_5 など）のような金属酸化膜である。

【 0 1 2 2 】

〔第 5 の実施の形態〕

次に、この発明の第 5 の実施の形態として、NAND 型の不揮発性半導体記憶装置について説明する。この第 5 の実施の形態では、前記第 2 の実施の形態と共通する部分には共通する参照符号を付す。

【 0 1 2 3 】

図 7（a）は、第 5 の実施の形態の NAND 型不揮発性半導体記憶装置におけ

るメモリセルアレイのワード線に沿った断面図である。図 7 (b) は、前記メモリセルアレイのビット線コンタクト部のワード線方向の断面図である。図 7 (c) は、前記 NAND 型不揮発性半導体記憶装置の周辺回路を構成する周辺トランジスタの断面図である。この周辺トランジスタは、例えば、ゲート絶縁膜がメモリセルに比べて非常に厚い高耐圧系トランジスタであるとする。

【 0 1 2 4 】

電荷蓄積層の側端部が素子分離領域を形成するトレンチ溝と揃った自己整合 STI 構造は、スラッシュメモリにおける素子分離構造として有効である。しかし、図 1 2 に示したように、素子分離領域が半導体基板よりも高く形成されるため、隣接する制御ゲートの間の領域においては、ゲートバリア膜 2 1 4 及びコンタクトバリア膜 2 1 5 がスペーサ状に素子分離領域 2 1 7 の側面に残るという問題があった。

【 0 1 2 5 】

この実施の形態では、図 7 (b) に示すように、隣接する制御ゲート間の素子分離絶縁膜 5 1 の膜厚を制御ゲート 3 5 下の素子分離絶縁膜 5 2 の膜厚よりも薄くすることにより、ゲートバリア膜 4 2 及びコンタクトバリア膜 4 3 の残さをなくしている。この結果、ビット線コンタクト形成部において、半導体基板の露出面積を大きくして、コンタクト抵抗を低下させることができる。

【 0 1 2 6 】

また、周辺回路を構成する周辺トランジスタのうち、特に高耐圧系トランジスタのゲート絶縁膜の膜厚はメモリセルのゲート絶縁膜よりも一般的に非常に厚い。このため、コンタクト孔の形成時に、コンタクトバリア膜 4 3 及びゲートバリア膜 4 2 をエッチングした後、周辺トランジスタの厚いゲート絶縁膜を除去する必要がある、セルフアラインコンタクト構造を持つビット線コンタクトと同時に、周辺トランジスタのコンタクトを形成することは困難であった。

【 0 1 2 7 】

これに対して、この実施の形態では、図 7 (c) に示すように、予め高耐圧系トランジスタのコンタクト 5 3 が形成される拡散層上のゲート絶縁膜 5 4 を、薄膜化している。これにより、ビット線コンタクトのコンタクト孔形成と同時に、

高耐圧系トランジスタのコンタクト孔形成が可能になっている。

【0128】

実際に、この構造を形成する方法を以下に説明する。

【0129】

まず、ゲートキャップ膜を含めた積層ゲートを垂直加工した後、ゲートキャップ膜をマスクにしてゲート間の素子分離絶縁膜とゲート絶縁膜をエッチングする。このとき、ゲートキャップ膜である窒化シリコン膜とシリコン基板に対して、高選択比を得られるエッチングを行うことが重要である。また、エッチング量は高耐圧系トランジスタのゲート絶縁膜が除去可能な量とする必要がある。さらに、素子分離絶縁膜の高さはトレンチ溝上部、すなわち半導体基板面より高く、電荷蓄積層上部より低い必要がある。このエッチングによって、ゲート間の素子分離絶縁膜の膜厚はゲート下の素子分離絶縁膜の膜厚よりも薄くなる。

【0130】

熱酸化などによりゲート側面の表面処理を行った後、ゲートバリア膜42及びコンタクトバリア膜43を形成した際、予め素子分離絶縁膜の膜厚を薄くしているため、素子分離絶縁膜51の側面露出高さが低くなり、コンタクト孔の開口時にスペーサ状の残さが発生するのを抑制できる。

【0131】

この発明は、前述した実施の形態に限定されるものではなく、ゲート絶縁膜の厚さや電極材料などを適当に選択することも可能である。

【0132】

この発明の望ましい実施態様を以下に記しておく。

【0133】

1. 電荷蓄積層を構成する導電材は、例えば不純物ドーピングにより電気伝導率が高い多結晶シリコン材、あるいは非晶質シリコン材である。

【0134】

2. 電荷蓄積層は、半導体基板上に形成された、例えば100Å程度の熱酸化膜上に形成されている。

【0135】

3. 制御ゲートは、例えば不純物ドーピングにより電気伝導率が高い多結晶シリコン材あるいは非晶質シリコン材等のシリコン材単層、またはタングステン（W）等の高融点金属材、タングステンシリサイド（W S i）等のシリサイドとシリコンとの積層構造、または前記シリコン材上にチタン（T i）等の金属を堆積し、熱アニールによりシリコンと化学的に反応させて形成したシリサイド、またはアルミニウム（A l）等の低抵抗金属材である。

【 0 1 3 6 】

4. 制御ゲートは、電荷蓄積層上に形成された、例えば100Å～200Å程度の二酸化シリコン膜、あるいは二酸化シリコンと窒化シリコン膜の積層膜上に形成されている。

【 0 1 3 7 】

5. 素子分離絶縁膜は、例えば高アスペクトの埋め込み特性に優れた二酸化シリコン材、あるいはリン（P）やボロン（B）等の不純物を含むP S G、B P S G等、あるいは前記材料の積層構造である。

【 0 1 3 8 】

この発明は、第1の絶縁膜（例えば二酸化シリコン膜）及び第2の絶縁膜（例えば窒化シリコン膜）で覆われたメモリセル及び選択トランジスタのうち、少なくともビット線コンタクトが隣接する積層ゲートの側面から第1の絶縁膜を除去することと、制御ゲート間の素子分離用絶縁膜を制御ゲート下の素子分離用絶縁膜よりも薄くしてビット線コンタクト部の素子分離用絶縁膜の側壁高さを下げることに、高耐圧系トランジスタのソース拡散層あるいはドレイン拡散層に接続されるコンタクト部のゲート絶縁膜の膜厚を、前記トランジスタのゲート電極下のゲート絶縁膜の膜厚よりも薄くすることにより、ビット線コンタクトをセルフアラインコンタクト構造とする際の加工マージンを高くでき、高密度化及び高信頼性を図ることができる不揮発性半導体記憶装置が実現できる。

【 0 1 3 9 】

なお、第1の絶縁膜として、二酸化シリコン膜を用いているが、その他の酸化物系絶縁膜を用いてもよい。その他の酸化物系絶縁膜は、例えば、アルミニウム酸化膜（A l 2 O 3 など）、タンタル酸化膜（T a 3 O 5 など）のような金属酸

化膜である。また、第2の絶縁膜として、窒化シリコン膜を用いているが、その他の窒化物系絶縁膜を用いてもよい。

【0140】

【発明の効果】

以上述べたようにこの発明によれば、ビット線コンタクトをセルフアラインコンタクト構造とする際の加工マージンを高くでき、高密度化及び高信頼性化を図ることができる不揮発性半導体記憶装置を提供することが可能である。

【図面の簡単な説明】

【図1】

(a) は第1の実施の形態のNOR型不揮発性半導体記憶装置におけるメモリセルアレイの構成を示す平面図であり、(b) は前記メモリセルアレイの1B-1B線に沿った断面図である。

【図2】

(a) は第2の実施の形態のNAND型不揮発性半導体記憶装置におけるメモリセルアレイの構成を示す平面図であり、(b) は前記メモリセルアレイの2B-2B線に沿った断面図である。

【図3】

前記第2の実施の形態のNAND型メモリセルの製造方法を示す主な第1工程の断面図である。

【図4】

前記第2の実施の形態のNAND型メモリセルの製造方法を示す主な第2工程の断面図である。

【図5】

第3の実施の形態のNAND型不揮発性半導体記憶装置におけるメモリセルアレイの断面図である。

【図6】

第4の実施の形態のNAND型不揮発性半導体記憶装置におけるメモリセルアレイの断面図である。

【図7】

第 5 の実施の形態の N A N D 型不揮発性半導体記憶装置におけるメモリセルアレイの断面図である。

【図 8】

(a) は従来の N O R 型のフラッシュメモリにおけるメモリセルアレイの構成を示す平面図であり、(b) は前記メモリセルアレイの 8 B - 8 B 線に沿った断面図である。

【図 9】

(a) は従来の N A N D 型のフラッシュメモリにおけるメモリセルアレイの構成を示す平面図であり、(b) は前記メモリセルアレイの 9 B - 9 B 線に沿った断面図である。

【図 1 0】

窒化シリコン膜と積層ゲートの間に二酸化シリコン膜を挟む構造において、セルフアラインコンタクトを形成する場合の第 1 工程の断面図である。

【図 1 1】

窒化シリコン膜と積層ゲートの間に二酸化シリコン膜を挟む構造において、セルフアラインコンタクトを形成する場合の第 2 工程の断面図である。

【図 1 2】

図 1 1 (b) に示したメモリセルアレイを図 9 (a) 中の 1 2 - 1 2 線に沿って切断した場合の断面図である。

【符号の説明】

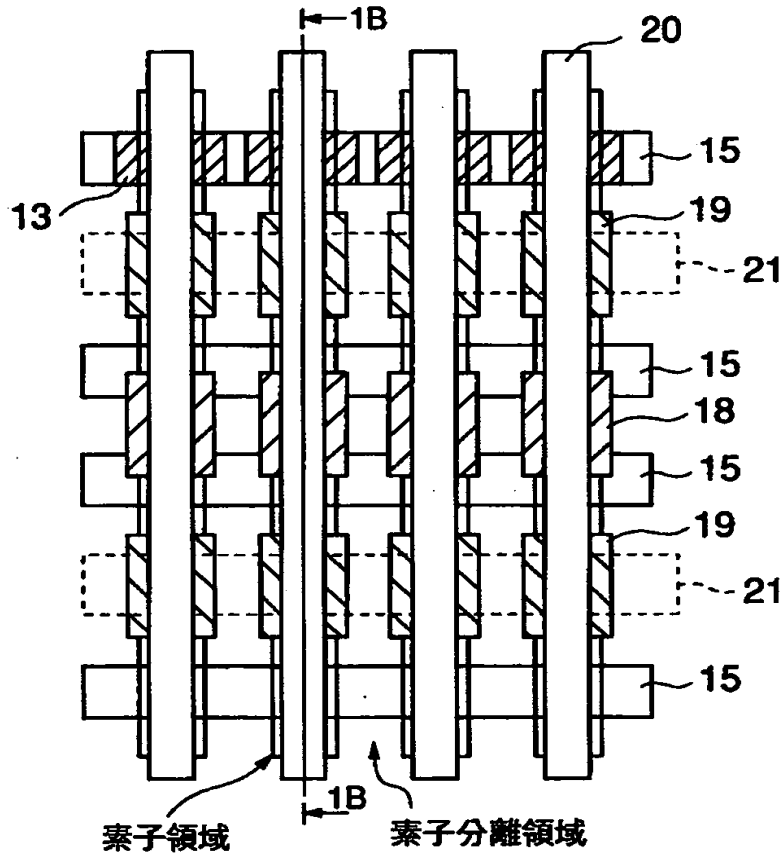
- 1 1 … p 型シリコン半導体基板 (あるいは p 型ウェル)
- 1 2 … トンネル絶縁膜
- 1 3 … 電荷蓄積層
- 1 4 … ゲート間絶縁膜
- 1 5 … 制御ゲート
- 1 6 … ゲートキャップ膜
- 1 7 A … ソース
- 1 7 B … ドレイン
- 1 8 … ビット線コンタクト

- 1 9 … 共通ソース線コンタクト
- 2 0 … ビット線
- 2 1 … 共通ソース線
- 2 2 … ゲートバリア膜
- 2 3 … コンタクトバリア膜
- 2 4 … 層間絶縁膜
- 3 1 … p 型シリコン半導体基板（あるいは p 型ウェル）
- 3 2 … トンネル絶縁膜
- 3 3 … 電荷蓄積層
- 3 4 … ゲート間絶縁膜
- 3 5 … 制御ゲート
- 3 6 … ゲートキャップ膜
- 3 7 … n 型拡散層
- 3 8 … ビット線コンタクト
- 3 9 … 共通ソース線コンタクト
- 4 0 … ビット線
- 4 1 … 共通ソース線
- 4 2 … ゲートバリア膜
- 4 3 … コンタクトバリア膜
- 4 4 … 層間絶縁膜

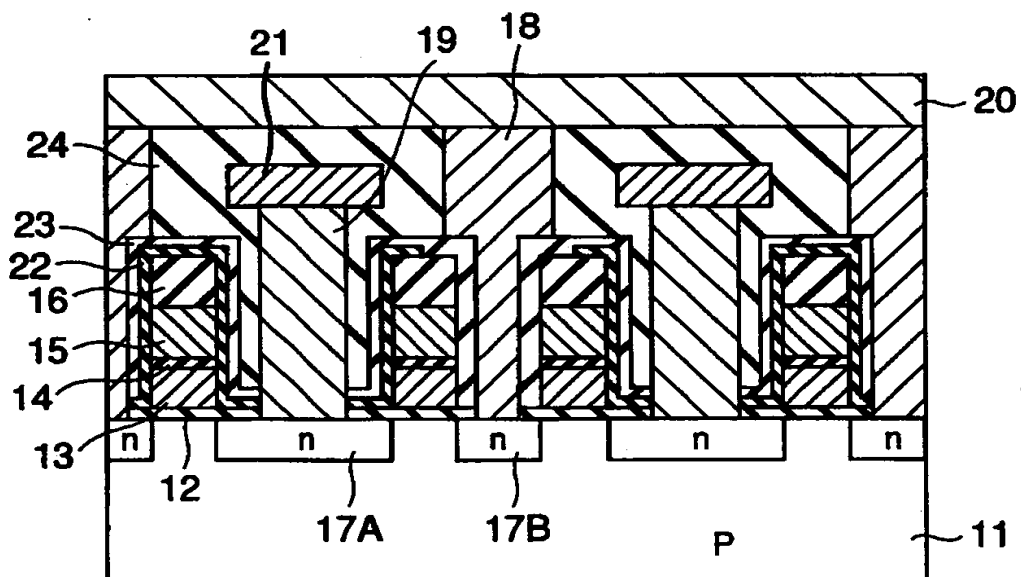
【書類名】

図面

【図 1】

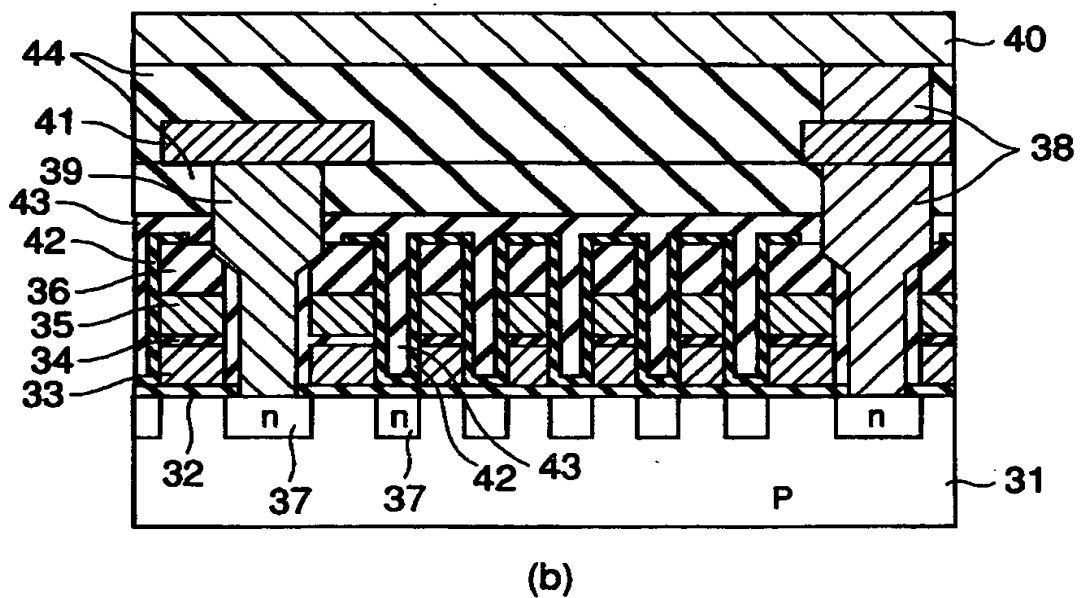
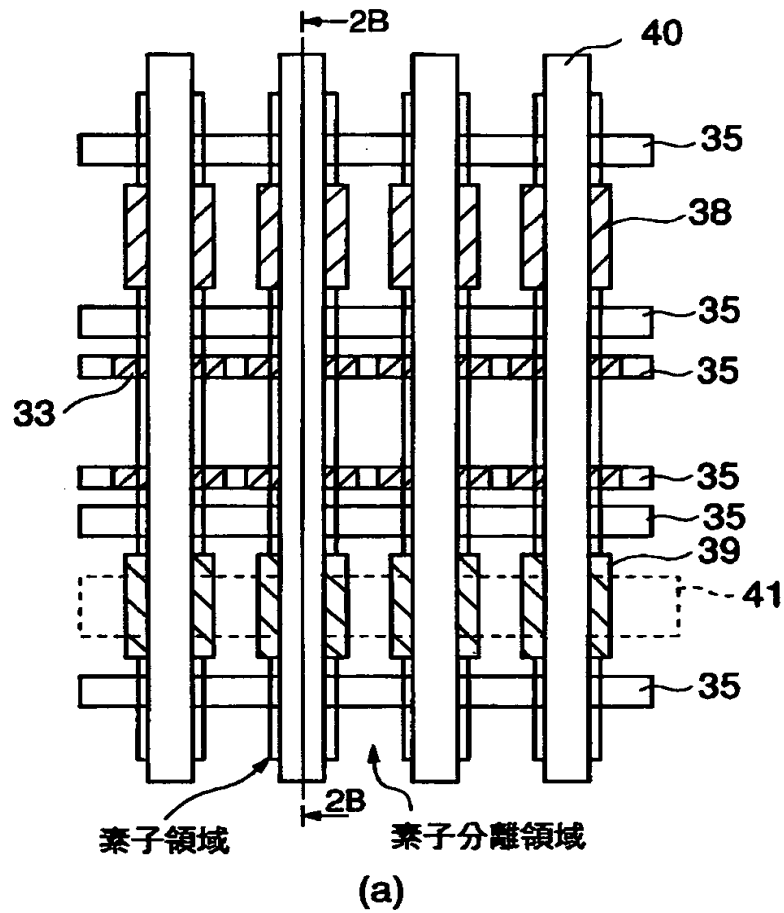


(a)

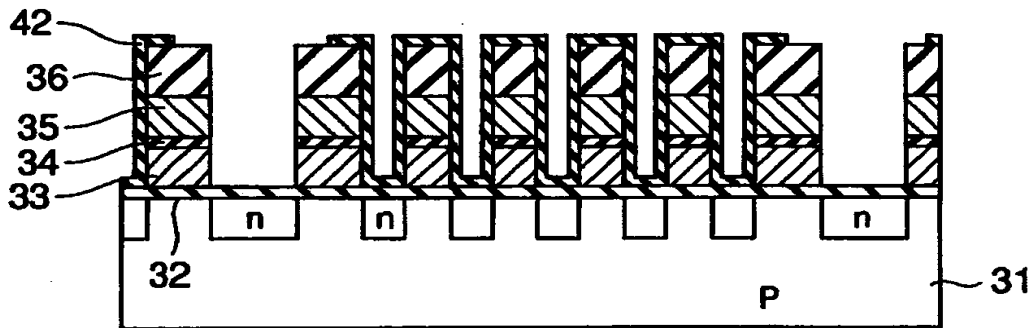


(b)

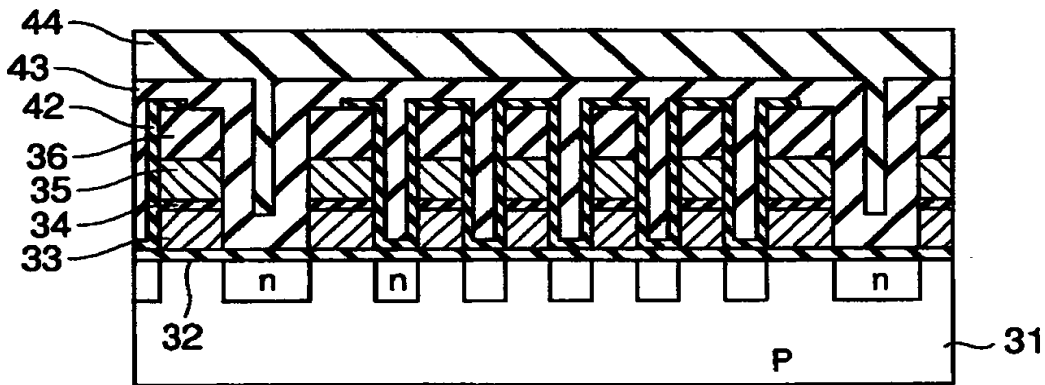
【図 2】



【図 3】

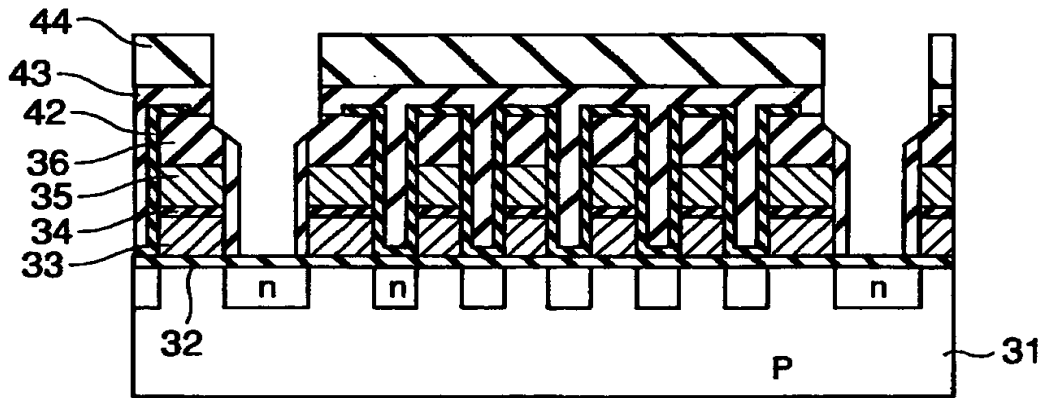


(a)

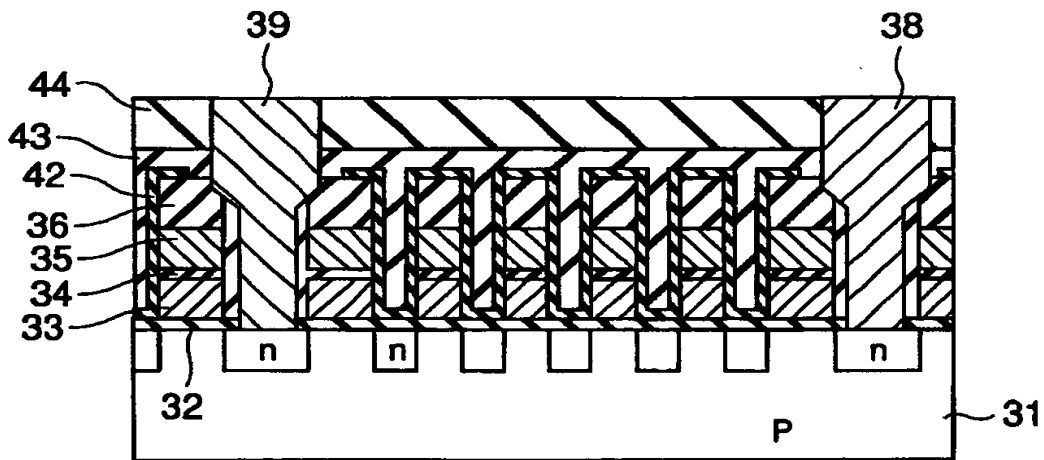


(b)

【図 4】

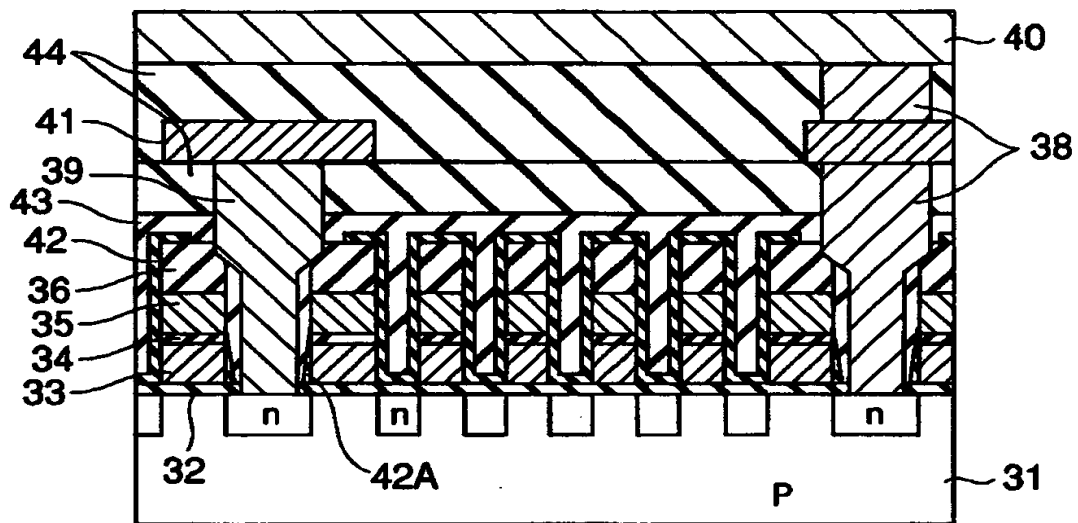


(a)

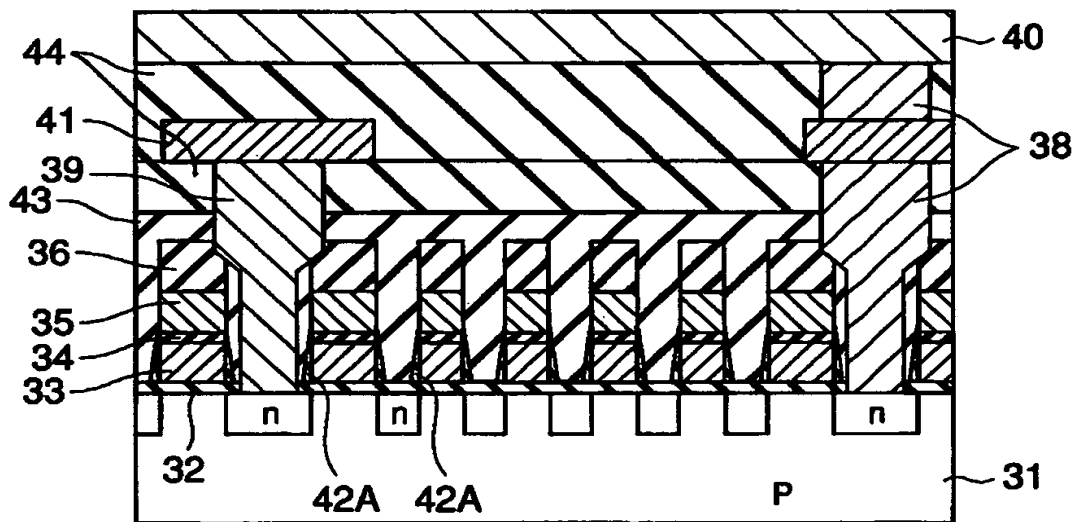


(b)

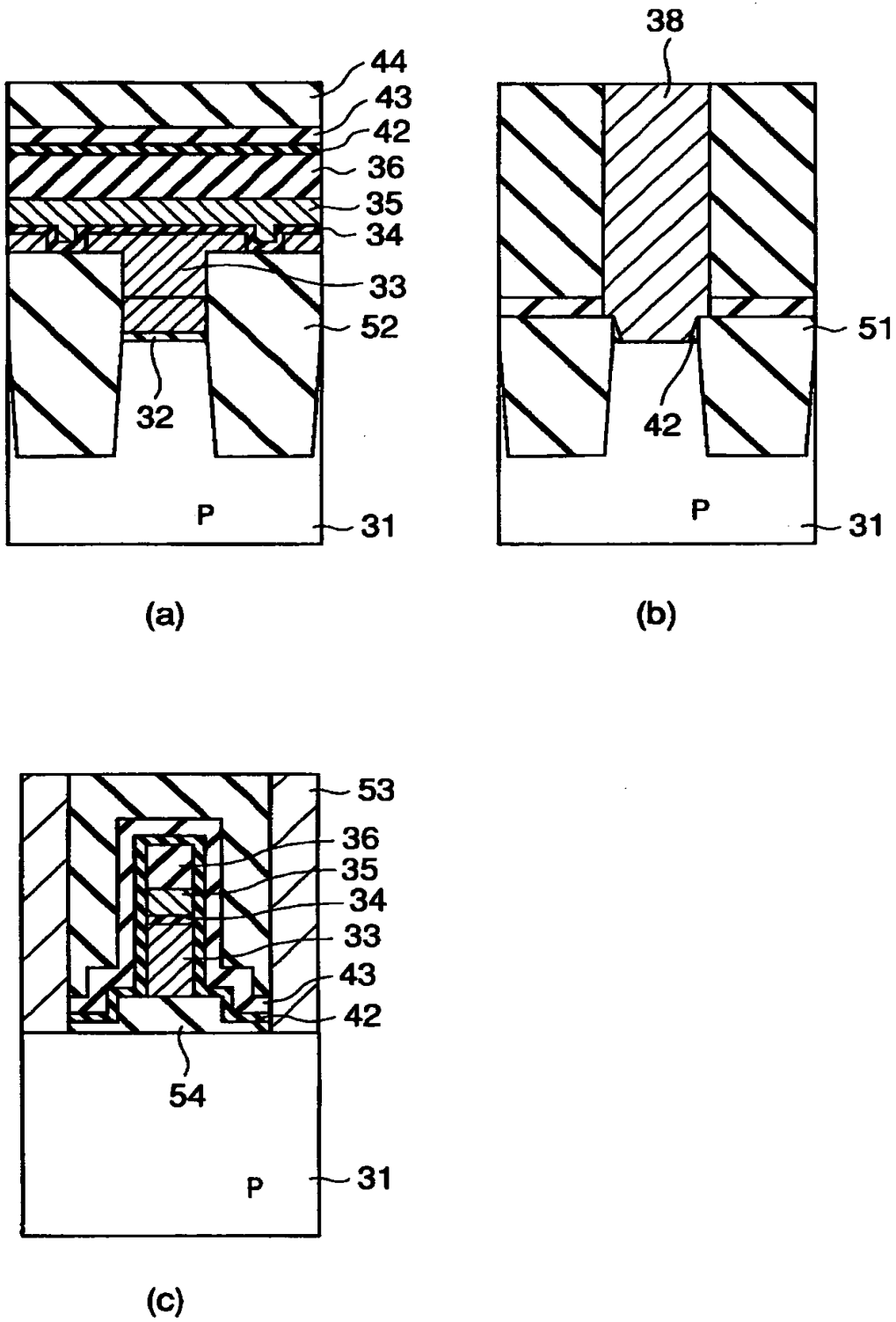
【図 5】



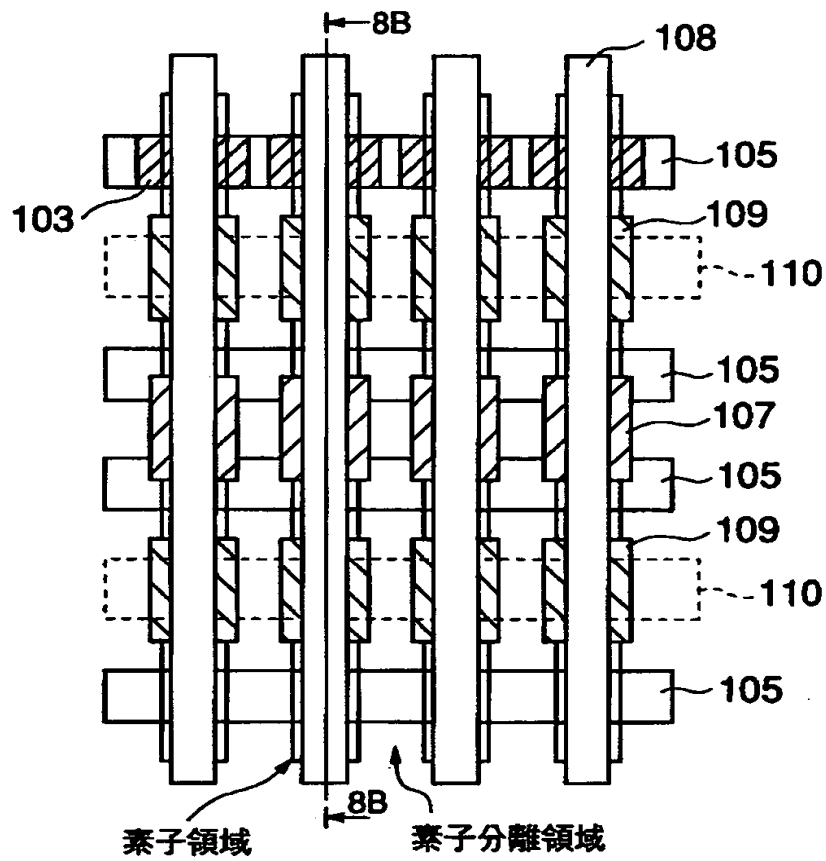
【図 6】



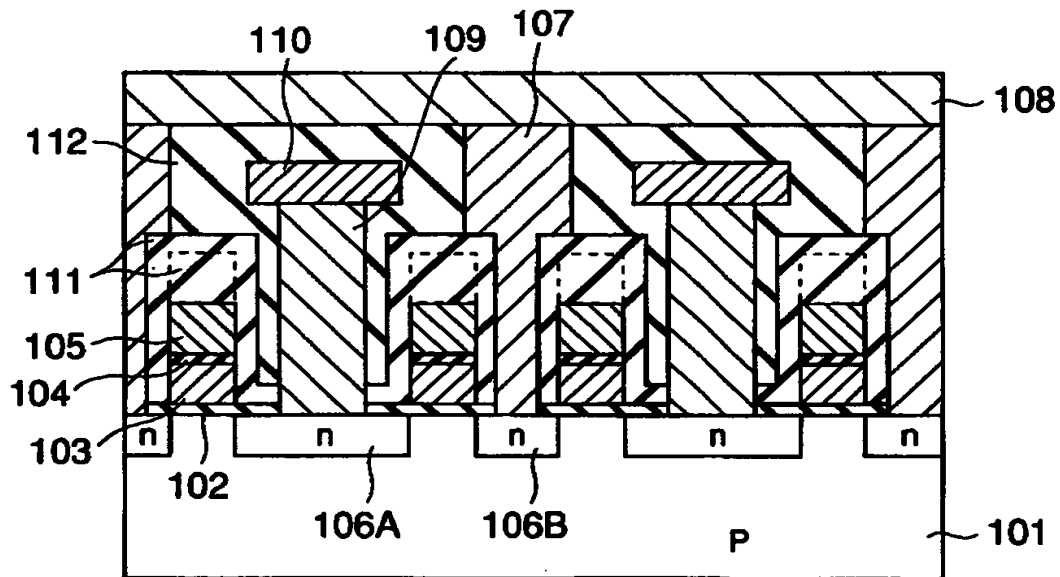
【図 7】



【図8】

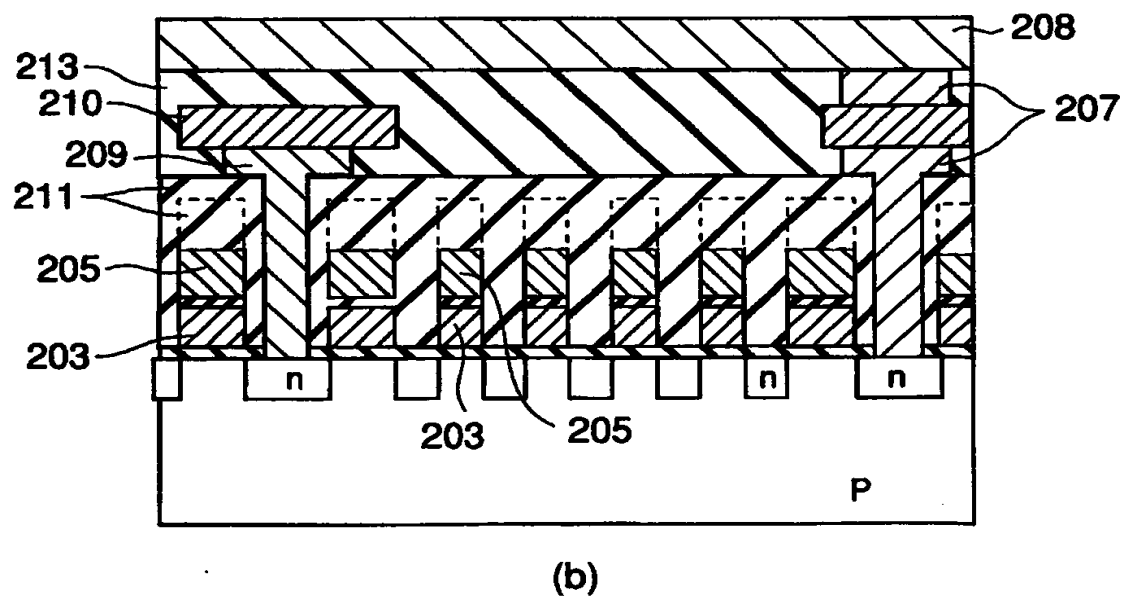
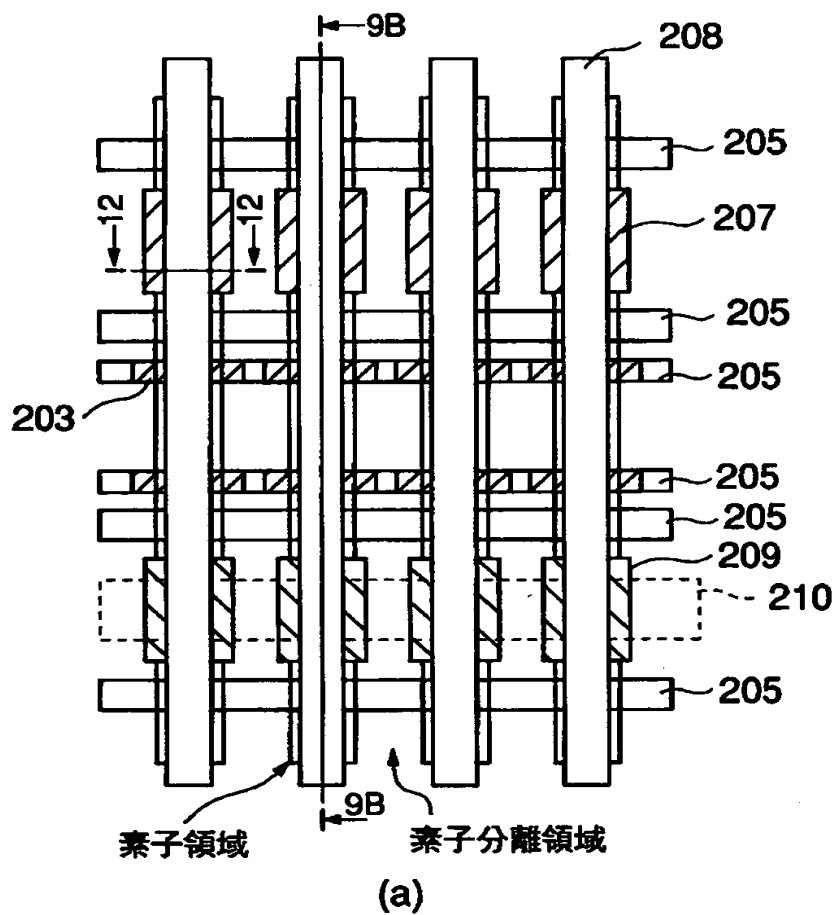


(a)

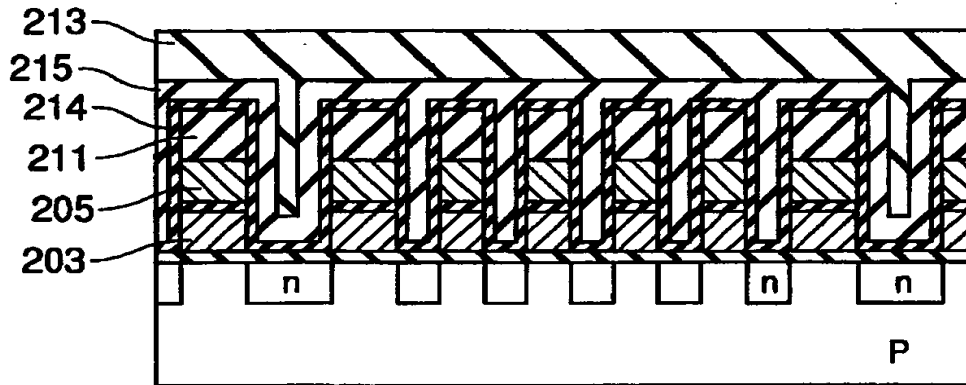


(b)

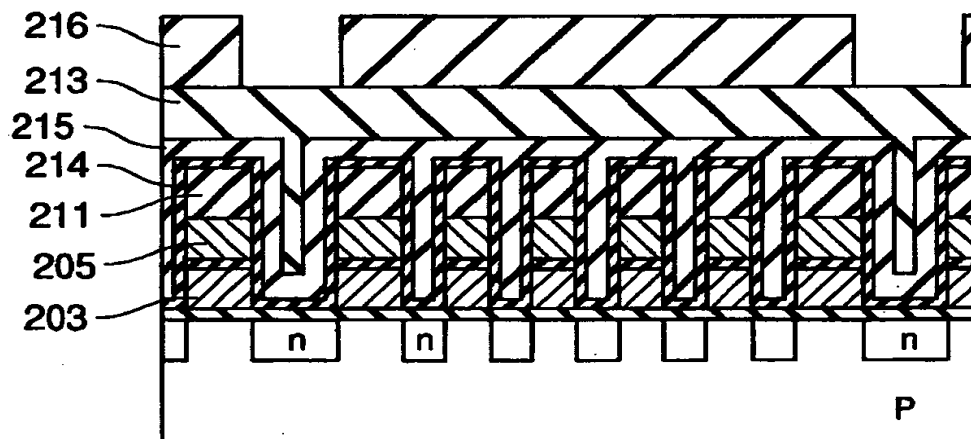
【图 9】



【図 1 0】

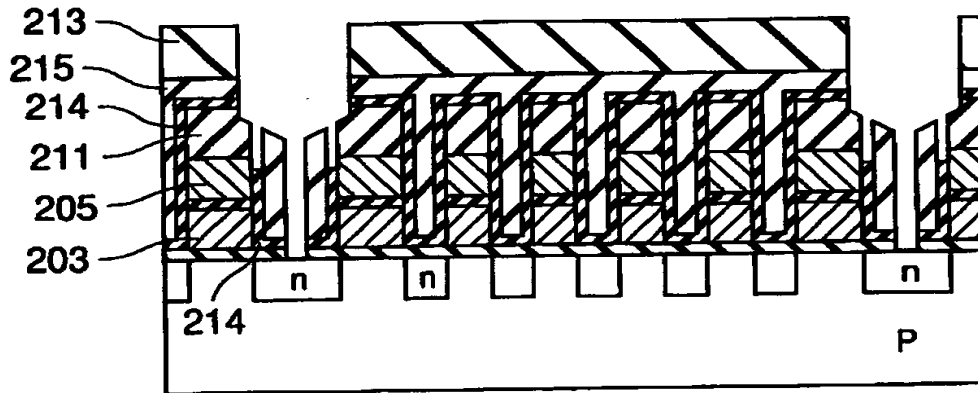


(a)

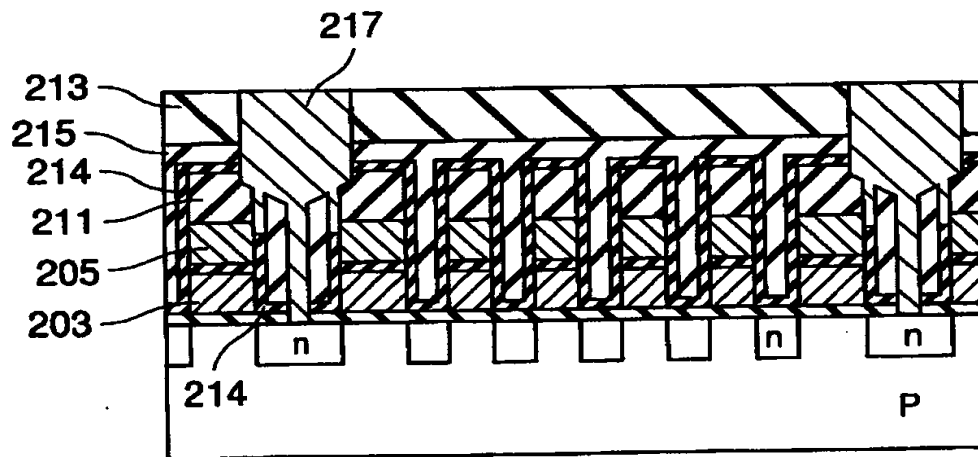


(b)

【図 1 1】

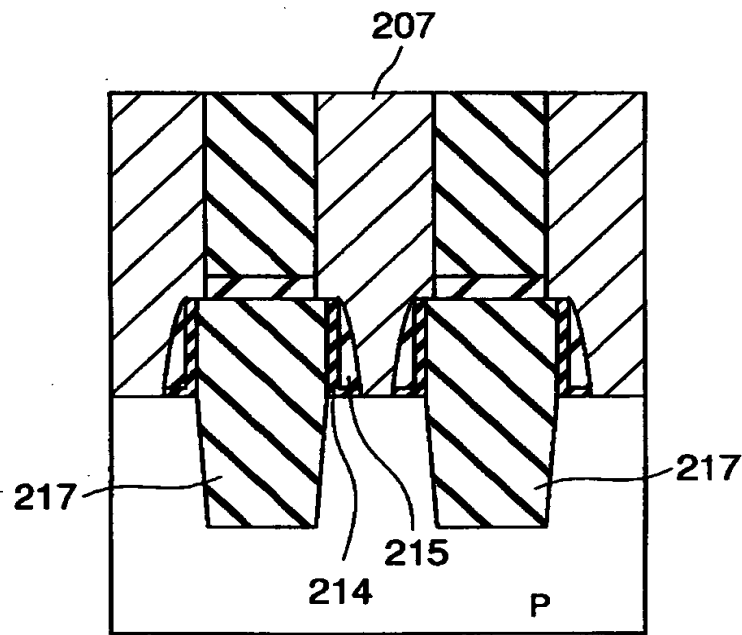


(a)



(b)

【図 1 2】



【書類名】 要約書

【要約】

【課題】ビット線コンタクトをセルフアラインコンタクト構造とする際の加工マージンを高くでき、高密度化及び高信頼性化を図ることができる不揮発性半導体記憶装置を提供する。

【解決手段】ビット線コンタクト18と隣接しない、電荷蓄積層13、制御ゲート15、及びゲートキャップ膜16を含む積層ゲートは、ゲートキャップ膜16と異なる材料からなるゲートバリア膜22で覆われると共に、このゲートバリア膜22がゲートキャップ膜16と同一材料からなるコンタクトバリア膜23で覆われ、また、ビット線コンタクト18と隣接する積層ゲートは、少なくとも隣接するビット線コンタクト18側の積層ゲート側面がゲートバリア膜22で覆われておらず、前記積層ゲート側面及び積層ゲートの他の面上のゲートバリア膜22がコンタクトバリア膜23で覆われている。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 神奈川県川崎市幸区堀川町72番地

氏 名 株式会社東芝